

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085310

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G06F 1/10
H03K 5/151

(21)Application number : 09-244893

(71)Applicant : NEC CORP

(22)Date of filing : 10.09.1997

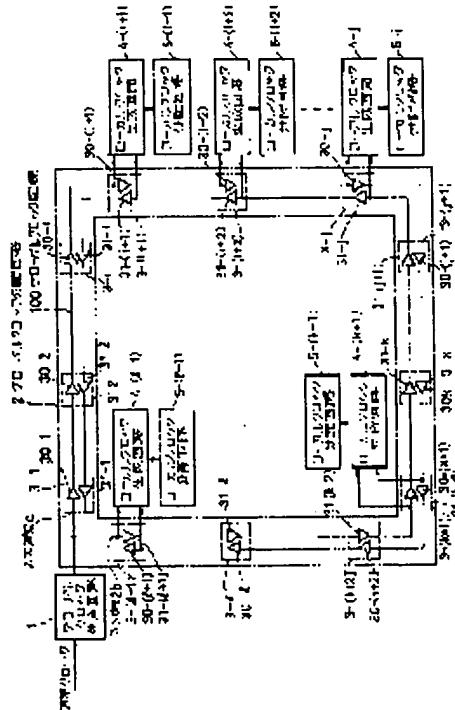
(72)Inventor : SHIBAYAMA MITSUFUMI

(54) CLOCK SIGNAL DISTRIBUTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock signal distribution circuit which can distribute high speed signals with low skew onto a large-scale integrated circuit.

SOLUTION: A global clock generation circuit 1 generating a global clock signal is installed on an LSI and the global clock signals are distributed on the LSI by duplexed global clock distribution circuits 2 circulated on the LSI so that they become parallel with each other and in opposite directions to each other. Local clock signals are generated by local clock generation circuits 4-(i+1), 4-(i+2), 4-j, 4-(k+1) and 4-(1+1) at the middle time of the transit time of two clock signals transmitted by the global clock distribution circuit as a reference. The local clock signals are distributed by local clock distribution circuits 5-(i+1), 5-(i+2), 5-j, 5-(k+1) and 5-(1+1).



*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1]A clock signal distribution circuit comprising:

A global clock generating means which generates global clock signals based on a reference clock signal inputted from the outside.

A global clock distributing means arranged in the shape of double loops in said large scale integration circuit so that said global clock signals generated by said global clock generating means may be distributed in large scale integration circuit and it may become an opposite direction mutually.

a local clock creating means which generates a local clock signal on the basis of an intermediate phase of two phases of each global clock signals distributed by said global clock distributing means.

A local clock dispensing means which distributes said local clock signal generated by said local clock creating means to a neighborhood field of a self-means.

[Claim 2]The clock signal distribution circuit comprising according to claim 1:

Two or more clock buffer pairs which consist of the 1st and 2nd clock buffers holding said global clock signals with which said global clock distributing means is mutually transmitted to an opposite direction.

1st wiring that connects said 1st adjoining clock buffer.

2nd wiring that connects said 2nd clock buffer that are allocated in parallel with said 1st wiring, and adjoin.

[Claim 3]The clock signal distribution circuit according to claim 2, wherein said two or more clock buffer pairs are altogether arranged at equal intervals within said large scale integration circuit and are connected with said 1st and 2nd isometric wiring.

[Claim 4]According to an external signal, said local clock creating means makes free variable [of a delaying amount of said global clock signals], and And the 1st and 2nd variable delay means of an identical configuration, A phase-comparison means by which a clock signal delayed by said 1st and 2nd variable delay means and the clock signal concerned compare a phase with global clock signals transmitted from an opposite direction, A control means which carries out variable control of the delaying amount in said 1st and 2nd variable delay means based on a comparison result of said phase-comparison means is included, so that a local clock signal in which said global clock distributing means has two intermediate phases of a phase of each global clock signals mutually distributed from an opposite direction by control of said control means may be generated. Claim 1 to constituting claim 3 is a clock signal distribution circuit of a statement either.

[Claim 5]As for a clock signal delayed by said 1st and 2nd variable delay means, and the clock signal concerned, said phase-comparison means contains the 1st and 2nd dividing means that carry out dividing of the global clock signals transmitted from an opposite direction, respectively, The clock signal distribution circuit according to claim 4 making operation free even when a clock signal delayed by said 1st and 2nd variable delay means and the clock signal concerned have phase contrast larger than 1/2 of cycle time of an input with global clock signals transmitted from an opposite direction.

[Claim 6]According to an external signal, said local clock creating means makes free variable [of a delaying amount of said global clock signals], and And the 1st and 2nd variable delay means of an identical configuration, The 1st and the 2nd fixed delay means which only a predetermined delaying amount beforehand set up in global clock signals delivered the clock signal concerned from an opposite direction is delayed, A phase-comparison means to compare a phase with a clock signal delayed by the clock signal [which was delayed by said 1st and 2nd variable delay means], said 1st, and 2nd fixed delay means, A control means which carries out variable control of the delaying amount in said 1st and 2nd variable delay means based on a comparison result of said phase-comparison means is included, By control of said control means. so that a local clock signal in which said global clock distributing means has the phase by which only said predetermined delaying amount was delayed for two intermediate phases of a phase of each global clock signals mutually distributed from an opposite direction may be generated. Claim 1 to constituting claim 3 is a clock signal distribution circuit of a statement either.

[Claim 7]Said phase-comparison means contains the 1st and 2nd dividing means that carry out dividing of the clock signal delayed by the clock signal [which was delayed by said 1st and 2nd variable delay means], said 1st, and 2nd fixed delay means, respectively, The clock signal distribution circuit according to claim 6 making operation free even when phase contrast with a clock signal delayed by the clock signal [which was delayed by said 1st and 2nd

variable delay means], said 1st, and 2nd fixed delay means is larger than 1/2 of cycle time of an input.

[Claim 8]As for said local clock dispensing means, claim 1 to claim 7 including a clock tree circuit which distributes said local clock signal generated by said local clock creating means is a clock signal distribution circuit of a statement either.

[Claim 9]Claim 1 to claim 7 characterized by comprising the following is a clock signal distribution circuit of a statement either.

A clock tree circuit which distributes said local clock signal with which said local clock dispensing means was generated by said local clock creating means.

A delay synchronizing loop circuit which abolishes phase contrast of said local clock signal and a clock signal which returns from said clock tree circuit.

[Claim 10]Claim 1 to claim 6 characterized by comprising the following is a clock signal distribution circuit of a statement either.

A clock tree circuit which distributes said local clock signal with which said local clock dispensing means was generated by said local clock creating means.

A phase synchronous loop circuit which abolishes phase contrast of said local clock signal and a clock signal which returns from said clock tree circuit.

[Claim 11]As for said local clock creating means and said local clock dispensing means, claim 1 to claim 10 allocating in two or more circuit blocks of each which constitute said large scale integration circuit is a clock signal distribution circuit of a statement either.

[Claim 12]The clock signal distribution circuit according to claim 11, wherein said two or more circuit blocks have peculiar power supply voltage and a clock frequency respectively.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the circuit which distributes a clock signal with few high speeds and phase shifts on large scale integration circuit about a clock signal distribution circuit.

[0002]

[Description of the Prior Art] The relative phase shift between the clock signals distributed on LSI and what is called clock skew pose a big problem as large scale integration circuit (hereafter referred to as LSI) large-scale-izes increasingly and the clock frequency increases. Since each part of LSI is designed on the assumption that timing can be given simultaneously, and synchronous method LSI operates with a clock signal, existence of clock skew will restrict the maximum of the clock frequency of synchronous method LSI, and, as a result, will reduce performance.

[0003]Conventionally, the clock tree method which constituted a clock buffer and clock wiring in tree form is known as art of reducing clock skew. This clock signal distribution circuit by performing a design layout so that the same clock buffer 111 may be used in each hierarchy of a clock tree and load carrying capacity and wiring resistance may become the same, as shown in drawing 15, Delay of the clock propagation path from the input edge of a clock tree to each outgoing end is made the same. It is expectable for the phase contrast of the clock signal between each outgoing end to become small relatively, and to reduce clock skew by this.

[0004]However, in order to arrange the conditions of each course of a clock tree in the clock tree method mentioned above, in a design layout, great restriction arises and it is actually difficult to arrange the conditions of all the courses by the relation and restrictions of layout arrangement with other circuits.

[0005]In order to arrange conditions, the problem of increasing power consumption and a

circuit area also has the dummy clock buffer 112 and wiring which are inserted on a clock tree. Since it is a static skew compensation by a clock tree method equating each clock distribution course at the time of a design layout, the clock skew which makes a cause device dispersion, a temperature change, line voltage variation, etc. cannot be compensated. It is difficult for it to be impossible to also disregard the influence of coupling with an outcrossing line, and to compensate it at the time of a design layout as LSI carries out minuteness making.

[0006]On the other hand, as another art, all the clock distribution points are short-circuited, and the huge buffer method which drives it by a huge clock buffer is learned. In this clock signal distribution circuit, since each clock distribution Sakima has connected too hastily as shown in drawing 16, the effect which compensates clock skew with clock distribution Sakima, and suits by him is expectable.

[0007]However, in the huge buffer method mentioned above, in order to make all the clock distribution points change simultaneously, the huge clock buffer 121 and the low resistance 122, i.e., broad clock wiring, are needed. Therefore, power consumption and a layout area are large and the application to the high-speed clock distribution of 1 GHz or more in large-scale LSI of especially the future is difficult.

[0008]As what performs phase compensation of a clock signal dynamically at the time of not a design but operation, There is the method of generating a clock signal dynamically and distributing a clock transmission line to the neighborhood based on the shape of a double ring or the phase contrast of two clock signals which turns up and arranges and is transmitted at each clock distribution point in these transmission lines. It is indicated by JP,8-54957,A and JP,9-134226,A about this method.

[0009]

[Problem(s) to be Solved by the Invention]Since phase compensation of a clock is dynamically performed at the time of operation, compensation of the clock skew which makes a cause device dispersion, a temperature change, line voltage variation, etc. is also possible in the conventional clock signal distribution circuit mentioned above.

[0010]However, since the wiring in LSI has the minute wiring cross-section area, wiring resistance is large and it is difficult to make a high-speed clock signal transmit with a long wire across which it goes in [whole] LSI, Especially the thing for which the above art is applied to high-speed clock distribution of 1 GHz or more in large-scale LSI by a future minute process of 0.1 micrometer or less is very difficult.

[0011]Then, it is in the purpose of this invention providing the clock signal distribution circuit which cancels the above-mentioned problem, is a low skew and can distribute a high-speed clock on LSI.

[0012]

[Means for Solving the Problem]A clock signal distribution circuit by this invention is provided

with the following.

A global clock generating means which generates global clock signals based on a reference clock signal inputted from the outside.

A global clock distributing means arranged in the shape of double loops in said large scale integration circuit so that said global clock signals generated by said global clock generating means may be distributed in large scale integration circuit and it may become an opposite direction mutually.

a local clock creating means which generates a local clock signal on the basis of an intermediate phase of two phases of each global clock signals distributed by said global clock distributing means.

A local clock dispensing means which distributes said local clock signal generated by said local clock creating means to a neighborhood field of a self-means.

[0013]Namely, a clock signal distribution circuit of this invention, A global clock generating means installed in an arbitrary part on LSI generates global clock signals, A global clock distributing means which made an opposite direction go mutually around a clock distributing means which comprises a clock buffer and wiring on LSI doubly and in parallel is made to distribute global clock signals on LSI.

[0014]Two or more local clock creating means which generate a local clock signal on the basis of a time of middle at each transition time of two clock signals transmitted by a double clock distributing means which constitutes this global clock distributing means are connected to an arbitrary part of a global clock distributing means, A local clock dispensing means which distributes a local clock signal to that neighborhood is connected to this local clock creating means.

[0015]Since a double clock distributing means which constitutes a global clock distributing means is installed in parallel and an opposite direction, middle time of transition time of two clock signals transmitted by a double clock distributing means is not based on a position on a global clock distributing means, but is the same.

[0016]When a local clock signal which a local clock generating means distributes to that neighborhood on the basis of this middle time is generated uniquely and a local clock dispensing means distributes that local clock signal near the self-means, It is possible to compensate influence of device dispersion, a temperature change, line voltage variation, etc., and a clock can be distributed by a low skew throughout LSI.

[0017]Since a global clock distributing means is divided by clock buffer, distribution of a high-speed clock can be enabled and influence of coupling between wiring or a noise can be decreased.

[0018]

[Embodiment of the Invention] Next, the example of this invention is described with reference to drawings. Drawing 1 is a block diagram showing the composition of the clock signal distribution circuit by one example of this invention. In a figure, the clock signal distribution circuit by one example of this invention The global clock generation circuit 1, The global clock distribution circuits 2 and two or more clock buffer pair 3-m (m= 1, 2, ..., i+1, i+2, ..., j, j+1, ..., k, k+1, k+2, ..., l+1), It comprises two or more local clock generating circuit 4-m and two or more local clock distribution circuit 5-m.

[0019] The global clock generation circuit 1 generates global clock signals based on the reference clock signal inputted from the exterior of LSI (circuit including all the circuits in a figure). The global clock distribution circuits 2 distribute the global clock signals which were connected to the global clock generation circuit 1, and were generated in the global clock generation circuit 1.

[0020] Two or more clock buffer pair 3-m comprises arranging two clock buffer 30-m and 31-m adjacently. It is connected by the two global clock wiring 100 which was arranged in parallel mutually and connected to the global clock distribution circuits 1, and these two clock buffer 30-m and 31-m of each forms the looped shape clock transmitting circuit for reverse doubly and mutually.

[0021] Two or more local clock generating circuit 4-m of each generates a local clock signal based on the global clock signals which are connected to the arbitrary part of the global clock distribution circuits 2, and are distributed by the global clock distribution circuits 2. Local clock distribution circuit 5-m of each distributes the local clock signal which was connected to local clock generating circuit 4-m, and was generated by local clock generating circuit 4-m to the neighborhood.

[0022] or the looped shape input edge 2a of each clock transmitting circuit for reverse and 2b adjoin and it is arranged doubly and mutually -- mutual -- isometry -- ** -- it being connected to the global clock generation circuit 1, and with wiring, Global clock signals in phase are inputted into two clock transmitting circuits, and distribute global clock signals to an opposite direction mutually on LSI.

[0023] Local clock generating circuit 4-m and local clock distribution circuit 5-m are allocated corresponding to two or more circuit blocks (not shown) which constitute LSI. Local clock generating circuit 4-m considers as an input two global clock signals transmitted by the global clock distribution circuits 2, A local clock signal is generated on the basis of the middle time of each transition time of two global clock signals, and local clock distribution circuit 5-m distributes a local clock signal in the circuit block corresponding to each.

[0024] Drawing 2 is a figure showing operation of the global clock distribution circuits 2 of drawing 1, and drawing 3 is a timing chart which shows operation of the global clock distribution circuits 2 of drawing 1. With reference to these drawing 2 and drawing 3, operation

of the global clock distribution circuits 2 is explained.

[0025] Since the global clock distribution circuits 2 are the composition that the same clock buffer 30-m and clock buffer pair 3-m constituted by 31-m were connected by the global clock wiring 100 arranged in parallel, The propagation delay of the global clock signals between two arbitrary clock buffer pairs is the same.

[0026] For example, the propagation delay between clock buffer pair 3-1 and 3- (l+1) is not depended in the direction, but is equal and sets the propagation delay to T_1 . Similarly the propagation delay between T_2 , clock buffer pair 3-i, and 3- (i+1) for the propagation delay between clock buffer pair 3- (l-1) and 3-1 T_l , The propagation delay between $T_{(n-1)}$ and clock buffer pair 3-1,3-2 is set [the propagation delay between clock buffer pair 3- (i-1) and 3-i] to T_n for the propagation delay between $T_{(i+1)}$ and clock buffer pair 3-2,3-3.

[0027] At this time, it is equal and the input edge 2a of two clock propagation circuits which constitute the global clock distribution circuits 2, and the propagation delay from 2b to each outgoing ends 2c and 2d are $T = T_1 + T_2 + \dots + T_l + T_{(i+1)}$

+ ... It is expressed with $+T_{(n-1)} + T_n$.

[0028] Drawing 3 is a timing chart when time of the standup transition with the global clock signals inputted into the input edge 2a and 2b from the global clock generation circuit 1 is set to T_0 . The clock signal which rose and changed by T_0 in the input edge 2a and 2b is mutually distributed for reverse by the global clock distribution circuits 2, When the clock signal C1 and time which reaches clock driver pair 3- (l+1) as C2 are set to T_{a1} and T_{b1} , respectively, it is $T_{a1} = T_0$ $T_{b1} = T_0 + T_1 + T_2 + \dots + T_l + T_{(i+1)}$

+ ... It is $+T_{(n-1)} + T_n$.

[0029] Therefore, middle time T_{m1} of the two clock signals C1 and the transition time of C2 distributed is $T_{m1} = (|T_{a1} + T_{b1}|) / 2 = [2T_0 + T_1 + T_2 + \dots + T_l + T_{(i+1)}$

+ ... It is $+T_{(n-1)} + T_n] / 2 = T_0 + T / 2$.

[0030] If similarly the clock signal which rose and changed by T_0 in the input edge 2a and 2b to certain clock driver pair 3-i sets to T_{ai} and T_{bi} the clock signal C1 and time which arrives as C2 by the global clock distribution circuits 2, $T_{ai} = T_0 + T_1 + T_2 + \dots + T_l$ $T_{bi} = T_0 + T_n + T_{(n-1)} + \dots + T_{(i+1)}$

It comes out.

[0031] Therefore, the middle time T_{mi} of these two clock signals C1 and the transition time of C2 is set to $= [T_{mi} = 1 (|T_{ai} + T_{bi}|) / 2] (2T_0 + T_1 + T_2 + \dots + T_{(n-1)} + T_n) / 2 = T_0 + T / 2$.

[0032] That is, in every clock buffer pair 3-m, the middle time of the two clock signals C1 mutually distributed for reverse by the global clock distribution circuits 2 and the transition time of C2 is constant at $T_0 + T / 2$. It is arranging in parallel the two global clock wiring 100 which this character's constitutes clock buffer pair 3-m from same clock driver, and connects between the clock buffer pair 3-m, If the propagation delay of the clock signal between two arbitrary clock

drivers which constitute the global clock distribution circuits 2 does not call at the propagating direction but presupposes that it is the same, it will not be based on the amount of propagation delays, the layout arrangement relationship of clock buffer pair 3-m, a device property, etc., but will be materialized.

[0033] Drawing 4 is a block diagram showing the example of composition of local clock generating circuit 4-m of drawing 1. Local clock generating circuit 4-m comprises the two variable delay circuits 6 and 7, the phase comparison circuits 8, and the control circuits 9.

[0034] Local clock generating circuit 4-m generates a local clock signal dynamically by the above-mentioned clock signal C1 and C2 on the basis of the clock signal C1 and the middle time of transition of C2.

[0035] The two variable delay circuits 6 and 7 consider the clock signal inputted into the input CLKe as an input, and are connected in series mutually. The phase comparison circuit 8 detects the phase contrast between the clock signals inputted into the output and the input CLKI of the variable delay circuit 7. The control circuit 9 controls the delaying amount of the variable delay circuits 6 and 7 according to the output of the phase comparison circuit 8. The delay synchronizing loop is formed of these variable delay circuits 6 and 7, the phase comparison circuit 8, and the control circuit 9.

[0036] The output of the variable delay circuit 6 of the preceding paragraph of the two variable delay circuits 6 and 7 by which the series connection was carried out is considered as the output CLKo. The direction where the phase is behind the input CLKI in the direction which the two clock signals C1 distributed to the input CLKe by the global clock distribution circuits 2 and the phase of C2 are following is inputted, respectively.

[0037] The two variable delay circuits 6 and 7 connected in series delay the clock signal inputted into the input CLKe. The phase comparison circuit 8 performs the phase comparison of this delayed clock signal and the clock signal inputted into the input CLKI, and outputs that comparison result to the control circuit 9.

[0038] The control circuit 9 changes the delaying amount of the two variable delay circuits 6 and 7 so that the phase contrast of two clock signals inputted into the phase comparison circuit 8 may be abolished based on the comparison result of the phase comparison circuit 8. In the situation where the phase contrast of two inputs of the phase comparison circuit 8 was set to 0, since the two variable delay circuits 6 and 7 have the same delaying amount, the signal which changes for the output CLKo at the middle time of the transition time of the clock signal inputted into the input CLKe and the input CLKI is acquired. That is, the two clock signals C1 distributed by the global clock distribution circuits 2 and a clock signal with a middle phase of each phase of C2 are outputted to the output CLKo.

[0039] The phase of the clock signal into which the phase of the clock signal inputted into the input CLKe is inputted by phi 1 and the input CLKI For example, $\phi_2 = \phi_1 + \Delta\phi$, If the

phase contrast of two clock signals inputted into the phase comparison circuit 8 is set to 0 when the delaying amount of the variable delay circuits 6 and 7 is set to X, ϕ_1+2 and $X=\phi_2=\phi_1+\Delta\phi$ will be realized.

[0040] At this time, it is $X=\Delta\phi/2$ and the clock signal C1 inputted into the input CLKe and the input CLKI at the output CLKo and a clock signal with a middle phase ($\phi_1+\Delta\phi/2$) of C2 are outputted. This is not dependent on the size of phase contrast $\Delta\phi$ between the clock signal C1 and C2. That is, local clock generating circuit 4-m is not based on the position linked to the global clock distribution circuits 2, but it becomes possible to generate a clock signal in phase by all the local clock generating circuit 4-m.

[0041] Drawing 5 is a block diagram showing other examples of composition of local clock generating circuit 4-m of drawing 1. In other examples of composition of local clock generating circuit 4-m, it has the same composition as the example of composition shown in drawing 4 except having allocated the two fixed delay circuits 10 and 11, and identical codes are given to the identical configuration element.

[0042] In other examples of composition of local clock generating circuit 4-m, the clock signal inputted into the input CLKI is inputted into the phase comparison circuit 8 through the fixed delay circuits 10 and 11 linked to 2 series in local clock generating circuit 4-m shown in drawing 4. When the amount of minimal delay of the variable delay circuits 6 and 7 is not 0, the two fixed delay circuits 10 and 11 are making the delaying amount of the fixed delay circuits 10 and 11 the same as that of the amount of minimal delay of the variable delay circuits 6 and 7, and compensate the minimal delay.

[0043] For example, when the input edge 2a of the global clock distribution circuits 2 and the time delay from 2b to the outgoing ends 2c and 2d are T, In order to enable connection of local clock generating circuit 4-m with the arbitrary positions of the global clock distribution circuits 2, Since the two clock signals C1 and phase contrast $\Delta\phi$ of C2 which local clock generating circuit 4-m inputs can take the range of $0 \leq \Delta\phi \leq T$, they need to make the delaying amount X of the variable delay circuits 6 and 7 the range of $0 \leq X \leq T/2$ from the above-mentioned explanation in local clock generating circuit 4-m shown in drawing 4.

[0044] In other examples of composition of local clock generating circuit 4-m, when the delaying amounts X of the variable delay circuits 6 and 7 are $X_0 \leq X \leq T/2$, the delaying amount of the fixed delay circuits 10 and 11 by being referred to as X_0 . It becomes possible to connect local clock generating circuit 4-m to the arbitrary positions of the global clock distribution circuits 2.

[0045] The phase of the clock signal into which the phase of the clock signal inputted into the input CLKe is inputted by ϕ_1 and the input CLKI For example, $\phi_2=\phi_1+\Delta\phi$, If the phase contrast of two clock signals inputted into the phase comparison circuit 8 is set to 0 when the delaying amount of the variable delay circuits 6 and 7 is set to X, ϕ_1+2 , $X=\phi_2+2$, and $X_0=\phi_1+\Delta\phi+2$ and X_0 will be realized.

[0046]At this time, it is $X=\text{deltaphi}/2+X_0$ and the clock signal which has phase $\text{phi1}+\text{deltaphi}/2+X_0$ in which only X_0 was behind [middle phase $\text{phi1}+\text{deltaphi}/2$ of clock signal C1 and C2 inputted into the input CLKe and the input CLKI] in the output CLKo is outputted. That is, by compensating the fixed delay X_0 with all the local clock generating circuit 4-m connected to the global clock distribution circuits 2, it is not based on the position linked to the global clock distribution circuits 2, but it becomes possible to generate a clock signal in phase. In this case, what is necessary is just to be able to make the delaying amount X of the variable delay circuits 6 and 7 into the range of $X_0 \leq X \leq T/2$.

[0047]Drawing 6 is a figure showing the example of composition of the variable delay circuit 6 of drawing 4. In the figure, the variable delay circuit 6 comprises the inverters 61-67 and the NAND (nonconjunction) gates 68-90. The variable delay circuit 7 also has the same composition as the variable delay circuit 6.

[0048]In the variable delay circuit 6, the signal inputted from the input IN is delayed by NAND gates 68-90, and is outputted from the output OUT. The signal for controlling the delaying amount of the variable delay circuit 6 to the inputs D1-D7 is inputted.

[0049]When all the signals inputted into the inputs D1-D7 are "1", this variable delay circuit 6 provides minimal delay. When the delaying amount of NAND gates 68-90 is set to d, the signal inputted from the input IN passes through NAND gates 76 and 83, and is outputted to the output OUT, and the delay is 2d.

[0050]If the signal into which the signal inputted into the input D1 is inputted by "0" and the inputs D2-D7 is set to "1", the signal inputted from the input IN will pass through NAND gates 68, 77, 84, and 83, and will be outputted to the output OUT. The delay at this time is 4d.

[0051]If similarly all the signals inputted into the inputs D1-D7 are set to "0", the time delay from the input IN to the output OUT will be set to 16 d. That is, 2d the delay of a unit from 2d to 16d can be provided with the value of the signal inputted into the inputs D1-D7. By controlling the signal inputted into the inputs D1-D7, the control circuit 9 controls the delaying amount of the variable delay circuit 6. The control circuit 9 controls the delaying amount of the variable delay circuit 7 like the above.

[0052]Drawing 7 is a figure showing the example of composition of the fixed delay circuit 10 of drawing 5. In the figure, the fixed delay circuit 10 comprises NAND gates 10a-10c. The fixed delay circuit 11 has the same composition as the fixed delay circuit 10.

[0053]2 d of minimal delay of the variable delay circuit 6 is provided by using the same NAND gate as NAND gates 68-90 of the variable delay circuit 6 mentioned above for NAND gates 10a-10c which constitute the fixed delay circuit 10.

[0054]In drawing 1, local clock distribution circuit 5-m is generated by the above-mentioned local clock generating circuit 4-m, and distributes the local clock signal outputted to the output CLKo in a circuit block.

[0055] Drawing 8 is a figure showing the example of composition of local clock distribution circuit 5-m of drawing 1. In a figure, local clock distribution circuit 5-m comprises the delay synchronizing loop circuit 12 and the clock tree 13, The loop is formed by connecting the output of the delay synchronizing loop circuit 12 to the input of the clock tree 13, and connecting the output of the clock tree 13 to the input of the delay synchronizing loop circuit 12.

[0056] The delay synchronizing loop circuit 12 comprises the variable delay circuit 12a, the phase comparison circuit 12b, and the control circuit 12c, and the clock tree 13 comprises two or more clock buffers 13a-13m.

[0057] The phase comparison circuit 12b compares the phase of the output clock signal of local clock generating circuit 4-m and the clock signal of the end of the clock tree 13 which are inputted from the input CLK, and outputs the result to the control circuit 12c. The control circuit 12c adjusts the delaying amount of the variable delay circuit 12a so that phase contrast of the clock signal inputted from the input CLK and the clock signal of the end of the clock tree 13 may be set to 0 based on the output of the phase comparison circuit 12b.

[0058] Since the clock tree 13 should distribute a clock signal only to the neighborhood field in a circuit block, it is expectable that unlike the time of a clock tree performing clock distribution the skew between clock tree ends is made small enough, and a clock can be distributed to the whole LSI.

[0059] When there is no difference in the scale of the clock tree 13 which constitutes each local clock distribution circuit 5-m and it becomes within limits which can permit the differential delay, the delay synchronizing loop circuit 12 can also be omitted.

[0060] The connecting location to global-clock-distribution-circuits 5-[of local clock generating circuit 4-m] m is arbitrary. Although it has connected with the input side of clock buffer pair 3-m in drawing 1, The output side of clock buffer pair 3-m may be sufficient, and the interval of clock buffer pair 3-m may be small enough, and when the differential delay by the position on the global clock wiring 100 can be disregarded, wiring between the clock buffer pairs 3-m may be sufficient.

[0061] The number of local clock distribution circuit 5-m is also arbitrary. Therefore, 1 set of local clock generating circuits and a local clock distribution circuit can make small enough the range which distributes a local clock signal.

[0062] Since the clock signal C1 and the phase contrast of C2 are detected and clock generation is performed dynamically, device dispersion between circuit blocks, a temperature change, line voltage variation, etc. can be compensated.

[0063] Although the layout interval of clock buffer pair 3-m which constitutes the global clock distribution circuits 2 is arbitrary, By supposing that it is the same, the layout interval of all the clock buffer pair 3-m. If the wiring resistance and wiring capacity of all the global clock wiring

100 are made the same and delay between all the clock buffer pairs 3-m is made the same, device dispersion between the clock buffer pairs 3-m, a temperature change, line voltage variation, etc. can be compensated.

[0064]That is, in drawing 2, it is delay between each clock buffer pair 3-m $T_p = T_1 = T_2 = \dots$ If $= T_n$, The two clock signals C1 which local clock generating circuit 4-i connected to i-th clock buffer pair 3-i inputs, and the phase of C2 are behind only in $-T_p$ from the input edge 2a and 2b (i-1) and (n-i+1) - T_p of the global clock distribution circuits 2.

[0065]Supposing the time delay to the clock buffer pair which the influence of device dispersion, a temperature change, line voltage variation, etc. is temporarily added to a certain clock buffer pair now, and adjoins both sides is set to $T_p + \Delta t$, The above-mentioned clock signal C1, the input edge 2a of C2, and the phase lag from 2b are set to $-(i-1) T_p + \Delta t$ and $(n-i+1) - T_p$ or $-(i-1) T_p$, and $(n-i+1) - T_p + \Delta t$. That is, the clock signal C1 and the clock signal with a middle phase of the phase of C2 have the phase lag of $(n - T_p + \Delta t) / 2$ from the input edge 2a and 2b, and this does not call at the connecting location of local clock generating circuit 4-m, but is constant.

[0066]Therefore, even if a gap arises in the characteristic of a certain clock buffer pair under the influence of device dispersion, a temperature change, line voltage variation, etc., it is compensated and each local clock generating circuit 4-m becomes possible [generating a local clock signal in phase]. This means being usable in the clock buffer and different power supply voltage of an intentionally different size between the clock buffer pairs 3-m, and each local clock generating circuit 4-m becomes possible [generating a local clock signal in phase] similarly.

[0067]It is possible to compensate the influence of device dispersion, a temperature change, line voltage variation, etc. with the above explanation by this invention so that clearly. Global-clock-distribution-circuits 5-m makes high-speed clock distribution possible that two or more clock buffer pair 3-m is inserted, and it is hard to be influenced by coupling between wiring, or a noise since wiring between the clock buffer pairs 3-m is short enough. It becomes possible to distribute the high-speed clock signal which is a low skew to the whole LSI by this.

[0068]Drawing 9 is a figure showing the example of composition of the phase comparison circuit 8 of drawing 4. In the figure, the phase comparison circuit 8 comprises the two frequency dividers 14 and 15 and two D flip-flops 16 and 17. The clock signal inputted into the input CLK is inputted into D input of the flip-flop 16, and the clocked into of the flip-flop 17 through the frequency divider 14, respectively, The clock signal inputted into the input REF is inputted into D input of the flip-flop 17, and the clocked into of the flip-flop 16 through the frequency divider 15, respectively. The frequency dividers 14 and 15 are feeding back the negative output of D flip-flops 14a and 15a to an input, and carry out 2 dividing of the input signal.

[0069] Drawing 10 is a timing chart which shows operation of the phase comparison circuit 8 of drawing 4. Operation of the phase comparison circuit 8 is explained with reference to these drawing 9 and drawing 10. 2 dividing of the clock signal inputted from the input REF is carried out by the frequency divider 15. Similarly, 2 dividing of the clock signal inputted from the input CLK is carried out by the frequency divider 14.

[0070]If the signal which carried out 2 dividing of the clock signal into which the signal which carried out 2 dividing of the clock signal inputted, the output CLK, i.e., the input, of the frequency divider 14, is inputted, the output REF, i.e., the input, of CLK2 and the frequency divider 15, is set to REF2, CLK2 is latched by D flip-flop 16 in the timing of the standup of REF2, and it is outputted from the output INC.

[0071]REF2 is latched by D flip-flop 17 in the timing of the standup of CLK2, and it is outputted from the output DEC. That is, if the phase of the clock signal inputted from the input REF rather than the clock signal inputted from the input CLK is progressing, the output INC will be set to "0" and the output DEC will be set to "1." On the contrary, if the phase of the clock signal inputted from the input CLK rather than the clock signal inputted from the input REF is progressing, the output INC will be set to "1" and DEC will be set to "0."

[0072]The clock signal which was inputted from the input CLKe and passed through the two variable delay circuits 6 and 7 in local clock generation circuit 4-m shown in drawing 4 is connected to the input CLK of the phase comparison circuit 8, The control circuit 9 will make delay of the variable delay circuits 6 and 7 increase, while connecting the input CLKI to the input REF, if the output of the output INC of the phase comparison circuit 8 is "1", If the output of the output DEC of the phase comparison circuit 8 is "1", local clock generating circuit 4-m will realize desired operation mentioned above by decreasing delay of the variable delay circuits 6 and 7.

[0073]The frequency dividers 14 and 15 of the phase comparison circuit 8 make the maximum of detectable phase contrast increase. That is, the greatest phase contrast that can detect the clock signal inputted from the input CLK and the input REF by carrying out 2 dividing of the clock signal inputted from the clock signal inputted from the input CLK and the input REF will increase from $T_c/2$ to T_c , if the cycle time is set to T_c .

[0074]If dividing is furthermore carried out, for example, n dividing carries out, the detectable maximum phase contrast will be set to $-(T_c/2) n$. That is, since the detectable maximum phase contrast will increase if the number of dividing is made to increase, there is no restriction in the phase contrast of two clock signals inputted into local clock generating circuit 4-m from global-clock-distribution-circuits 5-m. This means that there is no restriction in the maximum of the input edge 2a of the global clock distribution circuits 2, and the time delay from 2b to the outgoing ends 2c and 2d.

[0075]Therefore, since clock buffer pair 3-m can be inserted in global-clock-distribution-circuits

5-m at a suitable interval, the influences of coupling, a noise, etc. are reducible. It becomes easy for the flexibility of the shape of the global clock distribution circuits 2 to also improve, for example, to also make it change into desired shape according to the layout situation of the other circuits on LSI, etc.

[0076]Instead of carrying out dividing of the clock signal inputted by the frequency dividers 14 and 15 from the input CLK and the input REF, The pulse selection circuitry which chooses the pulse of the clock signal inputted from the input CLK and the input REF is connected to the input CLK and the input REF, and even if it makes it pass only a pulse corresponding in the input CLK and the input REF, the detectable maximum phase contrast can be made to increase similarly.

[0077] Drawing 11 is a figure showing other examples of composition of local clock distribution circuit 5-m of drawing 1. In a figure, local clock distribution circuit 5-m comprises the delay synchronizing loop circuit 18 and the clock tree 13. The loop is formed by connecting the output of the delay synchronizing loop circuit 18 to the input of the clock tree 13, and connecting the output of the clock tree 13 to the input of the delay synchronizing loop circuit 18.

[0078]It is the same as that of the composition of the delay synchronizing loop circuit 12 shown in drawing 8 except having connected 18 d of frequency dividers to the output of the delay synchronizing loop circuit 12 shown in drawing 8 in the delay synchronizing loop circuit 18 in other examples of composition of this local clock distribution circuit 5-m.

[0079] 18 d of frequency dividers carry out dividing of the global clock signals which were inputted into the input CLK and delayed in the variable delay circuit 18a, and output them to the clock tree 13 as a local clock signal. With global clock signals, it is in phase and the clock signal of frequency lower than the frequency of the global clock signals distributed by 18 d of this frequency divider in the global clock distribution circuits 2 can be distributed.

[0080] Drawing 12 is a figure showing another example of composition of local clock distribution circuit 5-m of drawing 1. In a figure, local clock distribution circuit 5-m comprises the phase synchronous loop circuit 19 and the clock tree 13. The loop is formed by connecting the output of the phase synchronous loop circuit 19 to the input of the clock tree 13, and connecting the output of the clock tree 13 to the input of the phase synchronous loop circuit 19.

[0081]In other examples of composition of this local clock distribution circuit 5-m, the phase synchronous loop circuit 19 is used in the phase synchronous loop circuit 19 instead of the delay synchronizing loop circuit 12 shown in drawing 8. The phase synchronous loop circuit 19 comprises the variable oscillation circuit 19a, the phase comparison circuit 19b, the loop filter 19c, and 19 d of frequency dividers.

[0082]The oscillating frequency is determined and the output is distributed by the output of the phase comparison circuit 19b where the variable oscillation circuit 19a was filtered with the

loop filter 19c in a circuit block through the clock tree 13. 19 d of frequency dividers carry out dividing of the clock signal of the end of the clock tree 13, and input it into the phase comparison circuit 19b.

[0083]The phase comparison circuit 19b compares a phase with the clock signal by which was fed back from the clock signal and the clock tree 13 which are inputted from the input CLK, and dividing was carried out in 19 d of frequency dividers. The comparison result is outputted to the variable oscillation circuit 19a through the loop filter 19c, and the oscillating frequency is controlled. A phase and frequency with the clock signal by which was fed back by this from the clock signal and the clock tree 13 which are inputted from the input CLK, and dividing was carried out in 19 d of frequency dividers are coincided.

[0084]By carrying out dividing of the feedback signal from the clock tree 13 in 19 d of frequency dividers, as in phase a local clock signal with high frequency as the global clock signals inputted from the input CLK can be distributed in a circuit block. Therefore, since global clock signals can make frequency low, the electric power consumed by distribution of global clock signals becomes reducible.

[0085]Drawing 13 is a figure showing the example of composition of the global clock generation circuit 1 of drawing 1. In a figure, the global clock generation circuit 1 The phase synchronous loop circuit 20, It comprises the selector 25 and the AND (logical product) gate 26, and the phase synchronous loop circuit 20 comprises the variable oscillation circuit 21, the phase comparison circuit 22, the loop filter 23, and the frequency divider 24.

[0086]The reference clock signal from the LSI outside inputted into the input CLK by the phase synchronous loop circuit 20 in this global clock generation circuit 1 is multiplied, and that multiplied clock signal is outputted to the global clock distribution circuits 2 from the output OUT through AND gate 26.

[0087]By the input ENA, it is preventing outputting the output to OUT, and prevents malfunction of each local clock generating circuit 4-m or local clock distribution circuit 5-m until the phase synchronous loop circuit 20 locks AND gate 26. The selector 25 has fed back the output of the variable oscillation circuit 21 to the frequency divider 24 in the initial state.

[0088]If the phase synchronous loop circuit 20 locks and the output to the global clock distribution circuits 2 is started, By feeding back the output of nearby local clock generating circuit 4-m inputted into the input REF to the frequency divider 24, the selector 25 makes possible phase doubling of an external clock signal and the clock signal distributed to the inside of LSI.

[0089]By this invention, the global clock distribution circuits 2 distribute global clock signals to each circuit block as mentioned above, Each circuit block generates a local clock signal by local clock generating circuit 4-m, and distributes a local clock signal in a circuit block by local clock distribution circuit 5-m. This means that it can carry out independently, without depending

for the design layout of local clock generation / distribution circuit on other circuit blocks by each circuit block, and it becomes possible to reduce design layout cost.

[0090]Clock control, such as frequency control and a clock stop, can be easily performed in each circuit block unit. Since phase doubling is performed dynamically in a phase synchronous loop circuit or a delay synchronizing loop circuit, the clock signal of frequency which is different by each circuit block can be chosen, and power supply voltage may differ for the way block of every.

[0091] Drawing 14 is a figure showing the example of composition of LSI which applied this invention. In the figure, LSI40 comprises the circuit blocks 41-48, and, as for the circuit block 41, in the clock frequency, f1 and power supply voltage have become V1, As for the circuit block 42, f2 and the power supply voltage of the clock frequency are V2, as for the circuit block 43, in the clock frequency, f3 and power supply voltage have become V3, and, as for the circuit block 44, in the clock frequency, f4 and power supply voltage have become V4.

[0092]f5 and the power supply voltage of the clock frequency are [the circuit block 45] V5, As for the circuit block 46, f6 and the power supply voltage of the clock frequency are V6, as for the circuit block 47, in the clock frequency, f7 and power supply voltage have become V7, and, as for the circuit block 48, in the clock frequency, f8 and power supply voltage have become V8.

[0093]Local clock generation / distribution circuits 51-58 are established in each circuit blocks 41-48, and a suitable clock frequency and power supply voltage are chosen by local clock generation / distribution circuits 51-58 by each circuit blocks 41-48.

[0094]Generally, the power consumption P of an LSI circuit is expressed with $P=1/2$, and $f \cdot C \cdot V^2$, when f and power supply voltage are set to V and it sets additional capacities to C for a clock frequency. That is, choosing the suitable clock frequency and power supply voltage for the circuit blocks 41-48 has an effect which reduces power consumption.

[0095]Since local clock generation / distribution circuits 51-58 can be independently designed by each circuit blocks 41-48, as shown in drawing 14, Exchange with the circuit block 43 and the circuit block 49 and redesign of the circuit blocks 41-48 can be performed without performing redesign of local clock generation / distribution circuit of other circuit blocks, or global clock generation and a distribution circuit.

[0096]This makes easy modularization and library-izing of the circuit blocks 41-48, raises the reusability of the circuit blocks 41-48, and becomes reducible [the design cost of the system LSI which accumulates various functions on one chip especially].

[0097]Thus, install the global clock distribution circuits 2 in an opposite direction and a duplex mutually, and global clock signals are distributed, By [which constitute LSI] generating and distributing a local clock signal independently two or more circuit blocks 41-48 of every, the influence by device dispersion, a temperature change, line voltage variation, etc. can be

compensated, and a clock signal can be distributed to the whole LSI by a low skew.

[0098]Two or more clock buffer 30-m and 31-m are inserted in the global clock distribution circuits 2, it becomes difficult to be influenced by shortening enough wiring between each clock buffer 30-m and 31-m by coupling between wiring, or a noise, and distribution of a high-speed clock signal is attained.

[0099] Since the number and position of local clock generating circuit 4-m linked to the global clock distribution circuits 2 are arbitrary, flexibility in a design layout can be made high and the design layout cost of the clock distributing circuit 2 can be decreased.

[0100]Since it cannot be dependent on other circuit blocks and the design layout of the local clock generation / distribution circuits 51-58 can be independently carried out further again by each circuit blocks 41-48 which constitute LSI, While modularization and library-izing of the circuit blocks 41-48 become easy and reusability improves, the design cost of a system LSI is reducible. Clock control, such as a frequency revision and a clock stop, can be easily performed by 41-48 units of circuit blocks.

[0101]In this case, since the clock frequency and power supply voltage which are different by each circuit blocks 41-48 which constitute LSI can be chosen easily, power consumption is reducible by choosing a suitable clock frequency and power supply voltage every circuit block 41-48.

[0102]

[Effect of the Invention]The global clock generating means which generates global clock signals based on the reference clock signal inputted from the outside according to this invention as explained above, The global clock distributing means arranged in the shape of double loops in large scale integration circuit so that the global clock signals generated by the global clock generating means may be distributed in large scale integration circuit and it may become an opposite direction mutually, with the local clock creating means which generates a local clock signal on the basis of the intermediate phase of two phases of each global clock signals distributed by the global clock distributing means. By having a local clock dispensing means which distributes the local clock signal generated by the local clock creating means to the neighborhood field of a self-means, it is effective in the ability to distribute on LSI the high-speed clock which is a low skew.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the composition of the clock signal distribution circuit by one example of this invention.

[Drawing 2] It is a figure showing operation of the global clock distribution circuits of drawing 1.

[Drawing 3]It is a timing chart which shows operation of the global clock distribution circuits of drawing 1.

[Drawing 4]It is a block diagram showing the example of composition of the local clock generating circuit of drawing 1.

[Drawing 5] It is a block diagram showing other examples of composition of the local clock generating circuit of drawing 1.

[Drawing 6]It is a figure showing the example of composition of the variable delay circuit of drawing 4.

[Drawing 7] It is a figure showing the example of composition of the fixed delay circuit of drawing 5.

[Drawing 8] It is a figure showing the example of composition of the local clock distribution circuit of drawing 1.

[Drawing 9] It is a figure showing the example of composition of the phase comparison circuit of drawing 4.

[Drawing 10]It is a timing chart which shows operation of the phase comparison circuit of drawing 4.

[Drawing 11]It is a figure showing other examples of composition of the local clock distribution circuit of drawing 1.

[Drawing 12]It is a figure showing another example of composition of the local clock distribution circuit of drawing 1.

[Drawing 13] It is a figure showing the example of composition of the global clock generation

circuit of drawing 1.

[Drawing 14] It is a figure showing the example of composition of LSI which applied this invention.

[Drawing 15] It is a block diagram showing the example of composition of the clock distributing circuit of a conventional example.

[Drawing 16] It is a block diagram showing other examples of composition for the clock distributing circuit of a conventional example.

[Description of Notations]

1 The global clock generation said way

2 Global clock distribution circuits

2a and 2b Input edge

2c and 2d Outgoing end

3-1-3- (l+1) Clock buffer pair

4- (i+1), 4- (i+2), and 4- j, 4- (k+1), 4 - (l+1) Local clock generating circuit

5- (i+1), 5- (i+2), and 5- j, 5- (k+1), 5 - (l+1) Local clock distribution circuit

6, 7, 12a, and 18a Variable delay circuit

8, 12b, 18b, 19b, and 22 Phase comparison circuit

9, 12c, and 18c Control circuit

10 and 11 Fixed delay circuit

a [10]-c [10], 68 - 90 NAND gate

12, 18 delay synchronizing loop circuits

13 Clock tree

13a-13m, 30-1 - 30- (l+1), 31-1-31 - (l+1) Clock buffer

14, 15, 18d, 19d, and 24 Frequency divider

14a, 15a, 16, 17 D flip-flops

19a and 21 Variable oscillation circuit

19c and 23 Loop filter

20 Phase synchronous loop circuit

25 Selector

26 AND gate

40 LSI

41 - 49 circuit block

51-58 Local clock generation / distribution circuit

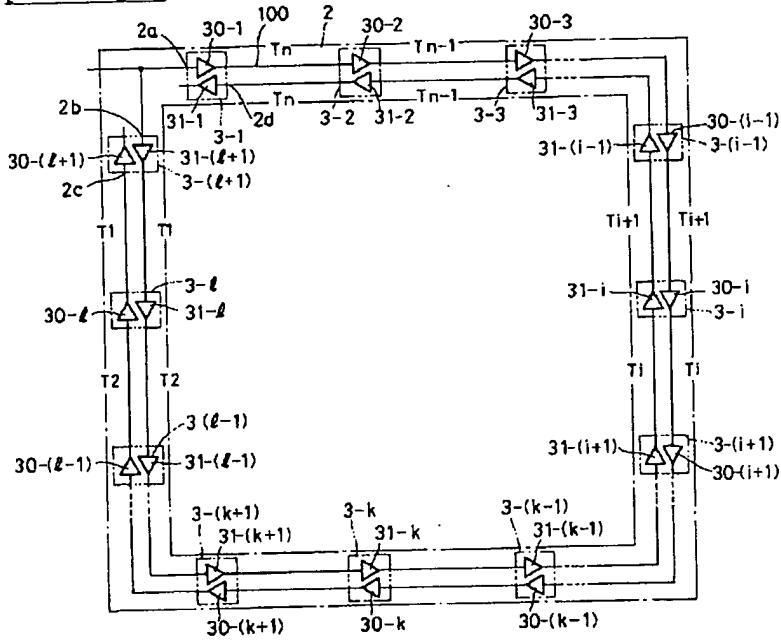
61-67 Inverter

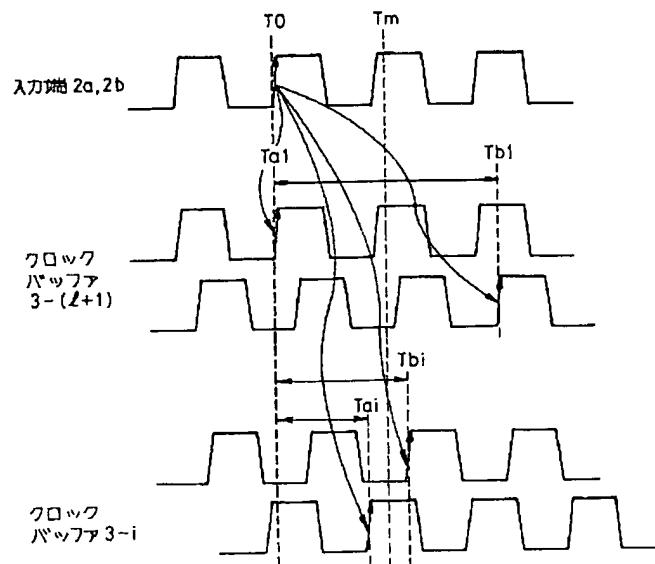
[Translation done.]

*** NOTICES ***

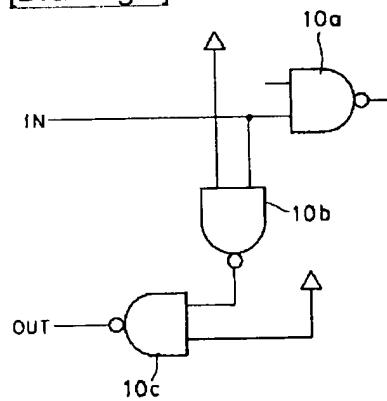
JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

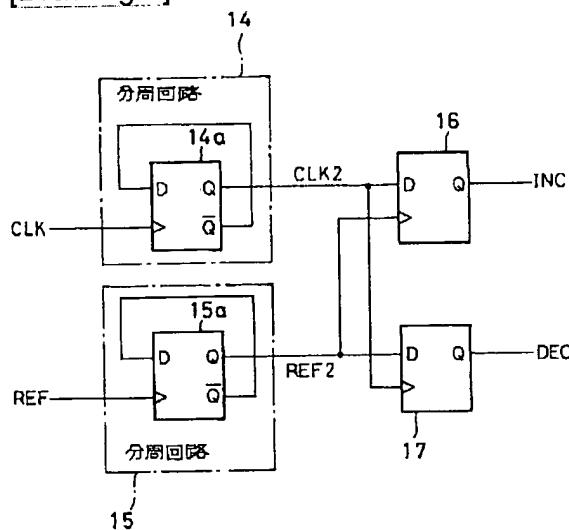
DRAWINGS**[Drawing 2]****[Drawing 3]**



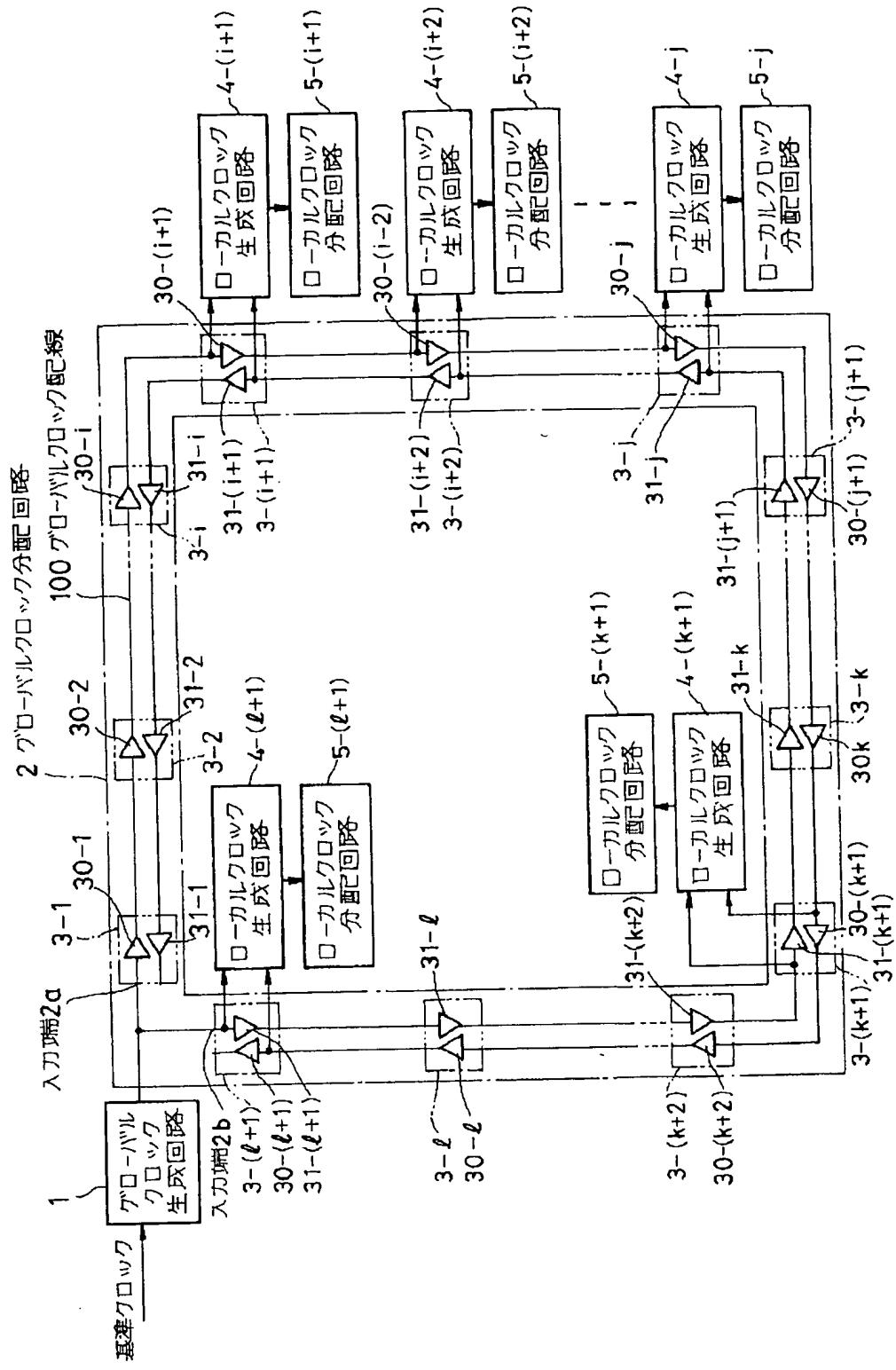
[Drawing 7]



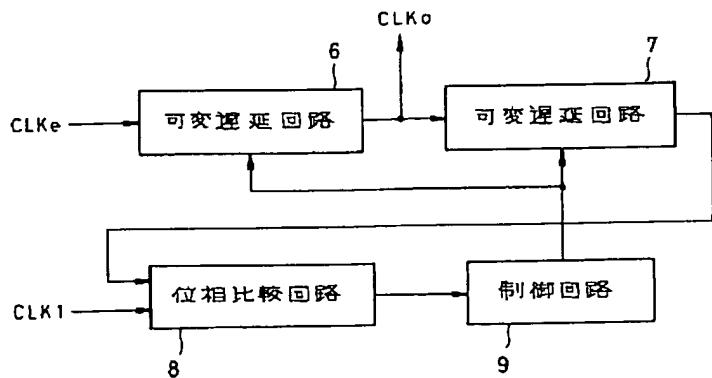
[Drawing 9]



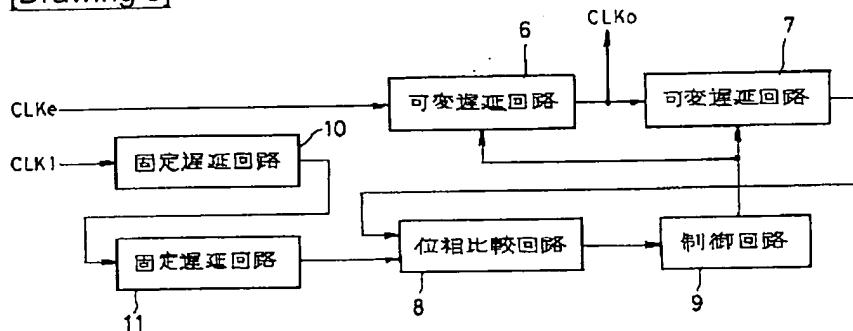
[Drawing 1]



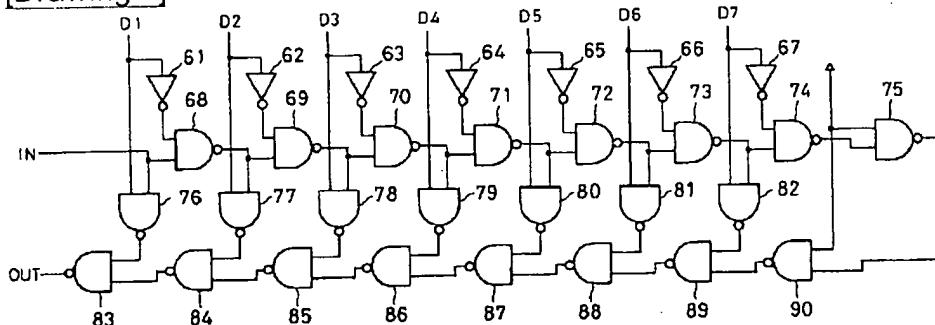
[Drawing 4]



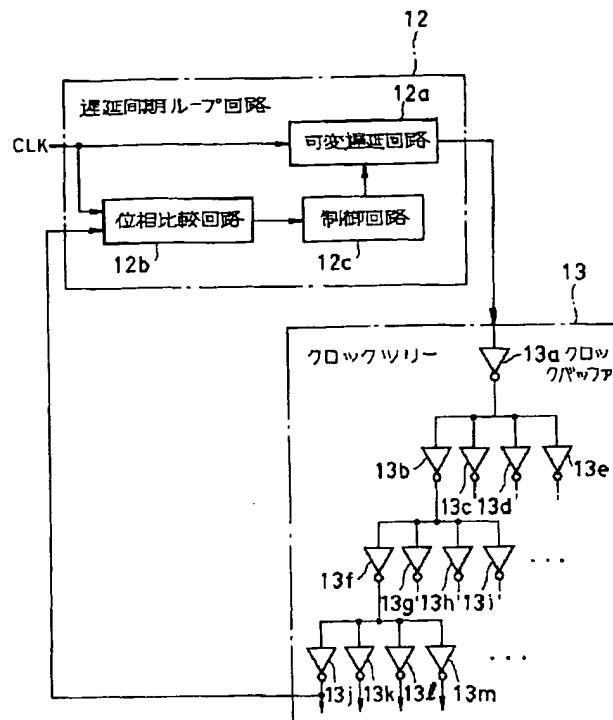
[Drawing 5]



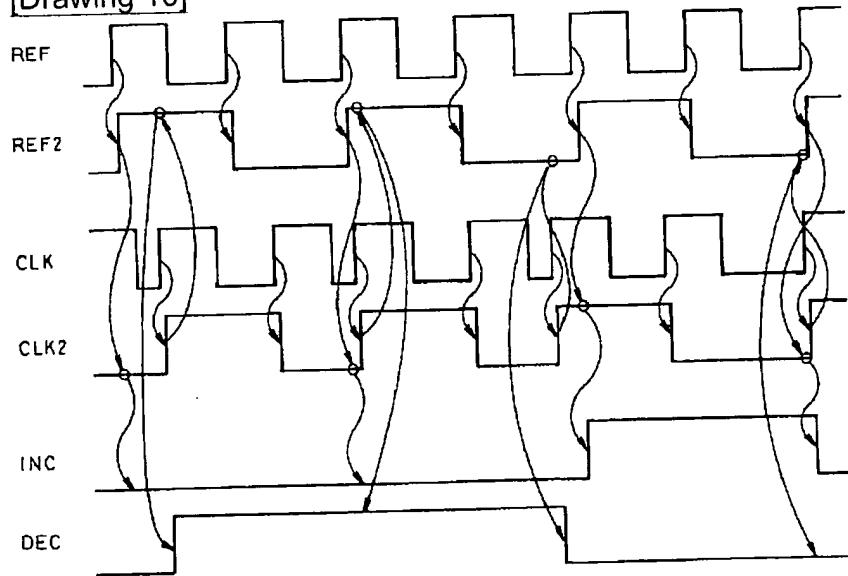
[Drawing 6]



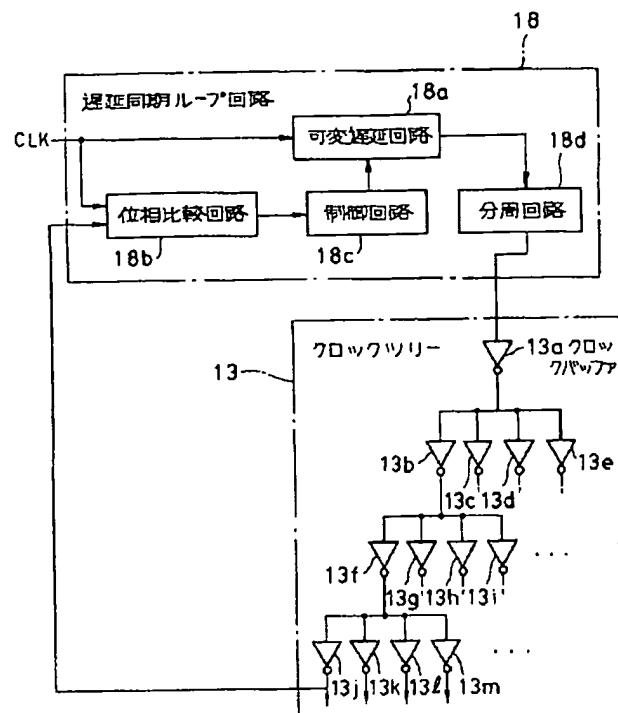
[Drawing 8]



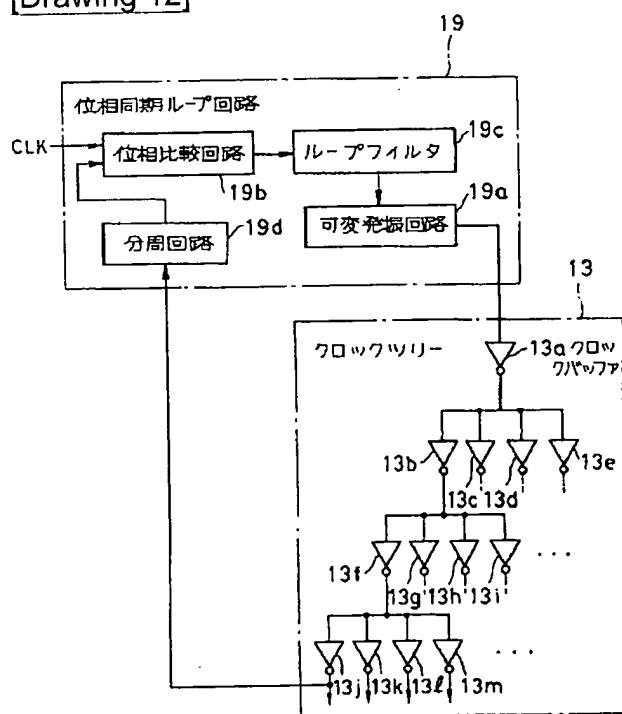
[Drawing 10]



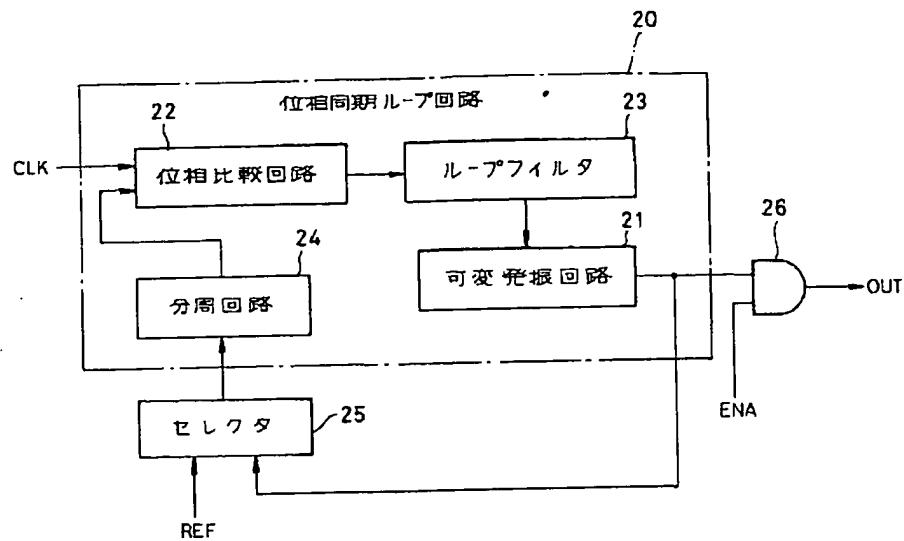
[Drawing 11]



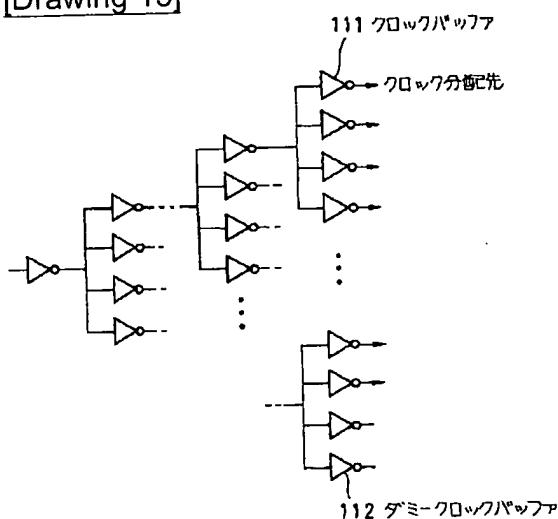
[Drawing 12]



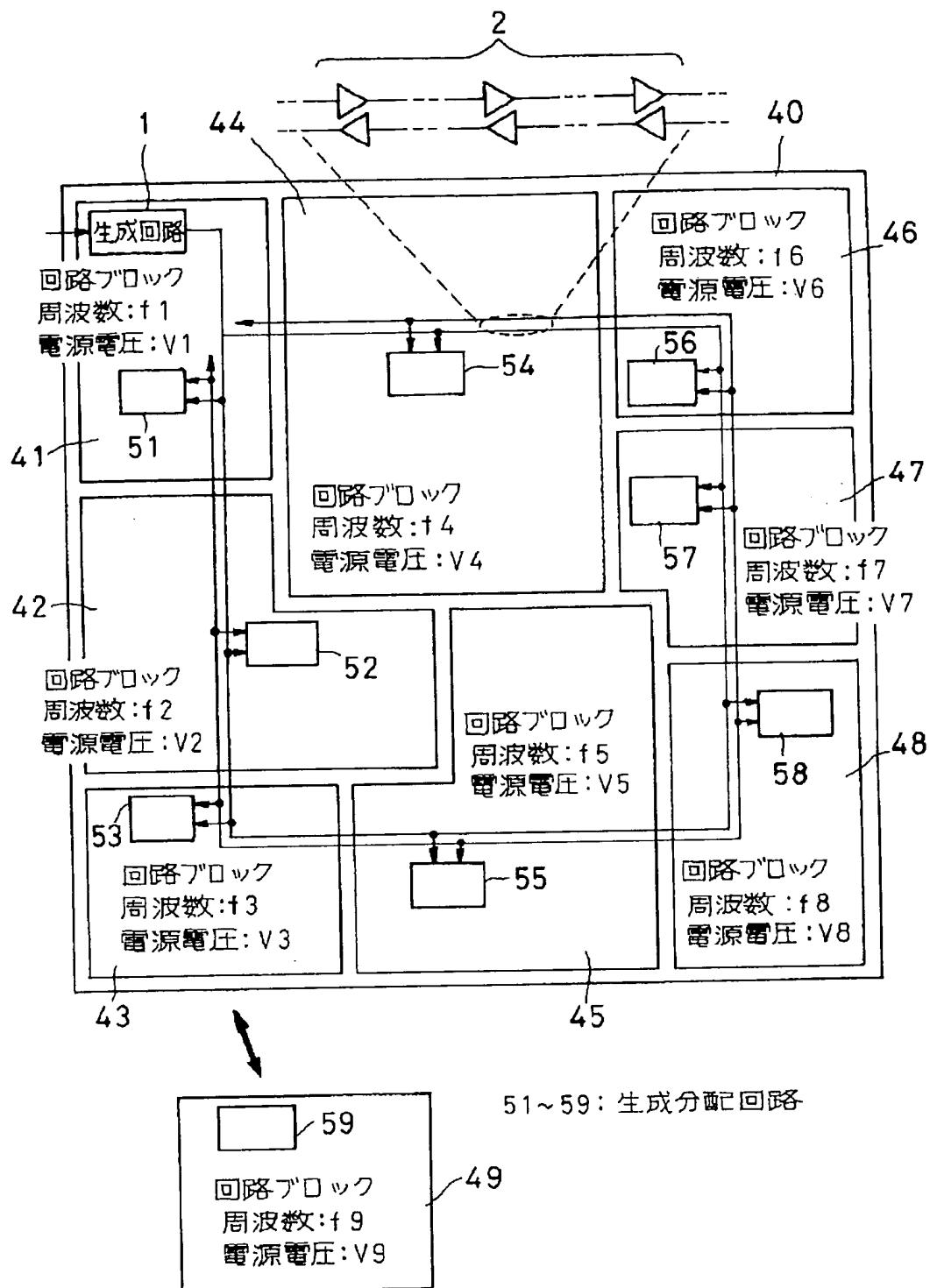
[Drawing 13]



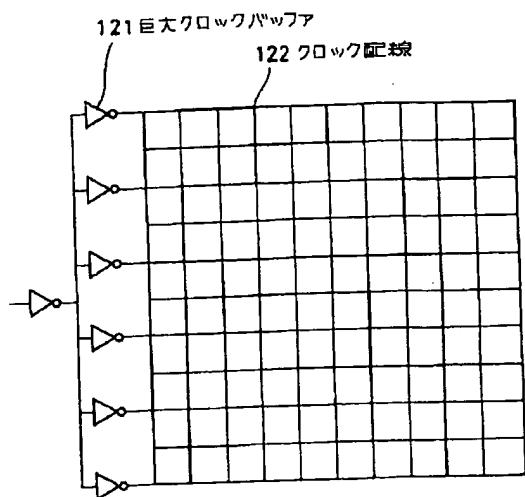
[Drawing 15]



[Drawing 14]



[Drawing 16]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-85310

(43)公開日 平成11年(1999)3月30日

(51)Int.Cl.⁶

G 0 6 F 1/10
H 0 3 K 5/151

識別記号

F I

G 0 6 F 1/04
H 0 3 K 5/15

3 3 0 A
C

審査請求 有 請求項の数12 O L (全 17 頁)

(21)出願番号 特願平9-244893

(22)出願日 平成9年(1997)9月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 柴山 充文

東京都港区芝五丁目7番1号 日本電気株式会社内

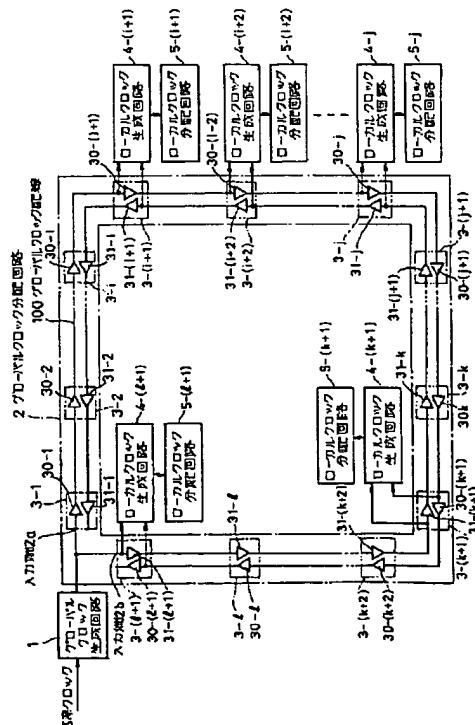
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 クロック信号分配回路

(57)【要約】

【課題】 大規模集積回路上に低スキーでかつ高速なクロック信号を分配可能なクロック信号分配回路を提供する。

【解決手段】 グローバルクロック信号を生成するグローバルクロック生成回路1をLSI上上の設置し、平行にかつ互いに逆方向となるようにLSI上に周回させた2重のグローバルクロック分配回路2によってLSI上にグローバルクロック信号を分配する。グローバルクロック分配回路2によって伝達される2つのクロック信号各々の遷移時点の中間の時点を基準にローカルクロック生成回路4-(i+1), 4-(i+2), 4-j, 4-(k+1), 4-(l+1)でローカルクロック信号を発生させ、そのローカルクロック信号をローカルクロック分配回路5-(i+1), 5-(i+2), 5-j, 5-(k+1), 5-(l+1)で分配する。



【特許請求の範囲】

【請求項1】 外部から入力される基準クロック信号に基づいてグローバルクロック信号を生成するグローバルクロック生成手段と、前記グローバルクロック生成手段で生成された前記グローバルクロック信号を大規模集積回路内に分配しあつ互いに逆方向となるように前記大規模集積回路内に二重ループ状に配置されたグローバルクロック分配手段と、前記グローバルクロック分配手段によって分配される2つのグローバルクロック信号各々の位相の中間位相を基準にローカルクロック信号を生成するローカルクロック生成手段と、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を自手段の近傍領域に分配するローカルクロック分配手段とを有することを特徴とするクロック信号分配回路。

【請求項2】 前記グローバルクロック分配手段は、互いに逆方向に伝達される前記グローバルクロック信号を保持する第1及び第2のクロックバッファからなる複数のクロックバッファ対と、隣接する前記第1のクロックバッファ同士を接続する第1の配線と、前記第1の配線に平行に配設されかつ隣接する前記第2のクロックバッファ同士を接続する第2の配線とを含むことを特徴とする請求項1記載のクロック信号分配回路。

【請求項3】 前記複数のクロックバッファ対は、前記大規模集積回路内で全て等間隔にレイアウトされかつ等長の前記第1及び第2の配線で接続されるようにしたことを特徴とする請求項2記載のクロック信号分配回路。

【請求項4】 前記ローカルクロック生成手段は、前記グローバルクロック信号の遅延量を外部信号に応じて可変自在としあつ同一構成の第1及び第2の可変遅延手段と、前記第1及び第2の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号との位相を比較する位相比較手段と、前記位相比較手段の比較結果に基づいて前記第1及び第2の可変遅延手段における遅延量を可変制御する制御手段とを含み、前記制御手段の制御によって前記グローバルクロック分配手段が互いに逆方向から分配する2つのグローバルクロック信号各々の位相の中間位相をもつローカルクロック信号を生成するよう構成したことを特徴とする請求項1から請求項3のいずれか記載のクロック信号分配回路。

【請求項5】 前記位相比較手段は、前記第1及び第2の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号とを夫々分周する第1及び第2の分周手段を含み、前記第1及び第2の可変遅延手段で遅延されたクロック信号と当該クロック信号とは逆方向から伝達されるグローバルクロック信号との位相差が入力のサイクル時間の2分の1よりも大きい場合でも動作自在としたことを特徴とする請求項4記載のクロック信号分配回路。

【請求項6】 前記ローカルクロック生成手段は、前記

グローバルクロック信号の遅延量を外部信号に応じて可変自在としあつ同一構成の第1及び第2の可変遅延手段と、当該クロック信号とは逆方向から伝達されるグローバルクロック信号を予め設定された所定遅延量だけ遅延する第1及び第2の固定遅延手段と、前記第1及び第2の可変遅延手段で遅延されたクロック信号と前記第1及び第2の固定遅延手段で遅延されたクロック信号との位相を比較する位相比較手段と、前記位相比較手段の比較結果に基づいて前記第1及び第2の可変遅延手段における遅延量を可変制御する制御手段とを含み、前記制御手段の制御によって前記グローバルクロック分配手段が互いに逆方向から分配する2つのグローバルクロック信号各々の位相の中間位相よりも前記所定遅延量だけ遅延された位相をもつローカルクロック信号を生成するよう構成したことを特徴とする請求項1から請求項3のいずれか記載のクロック信号分配回路。

【請求項7】 前記位相比較手段は、前記第1及び第2の可変遅延手段で遅延されたクロック信号と前記第1及び第2の固定遅延手段で遅延されたクロック信号とを夫々分周する第1及び第2の分周手段を含み、前記第1及び第2の可変遅延手段で遅延されたクロック信号と前記第1及び第2の固定遅延手段で遅延されたクロック信号との位相差が入力のサイクル時間の2分の1よりも大きい場合でも動作自在としたことを特徴とする請求項6記載のクロック信号分配回路。

【請求項8】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路を含むことを特徴とする請求項1から請求項7のいずれか記載のクロック信号分配回路。

【請求項9】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路と、前記ローカルクロック信号と前記クロックツリー回路から帰還されるクロック信号との位相差をなくす遅延同期ループ回路とを含むことを特徴とする請求項1から請求項7のいずれか記載のクロック信号分配回路。

【請求項10】 前記ローカルクロック分配手段は、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を分配するクロックツリー回路と、前記ローカルクロック信号と前記クロックツリー回路から帰還されるクロック信号との位相差をなくす位相同期ループ回路とを含むことを特徴とする請求項1から請求項6のいずれか記載のクロック信号分配回路。

【請求項11】 前記ローカルクロック生成手段及び前記ローカルクロック分配手段は、前記大規模集積回路を構成する複数の回路ブロック各々に配設されたことを特徴とする請求項1から請求項10のいずれか記載のクロック信号分配回路。

【請求項12】 前記複数の回路ブロックは、各々固有

の電源電圧及びクロック周波数を持つことを特徴とする
請求項11記載のクロック信号分配回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック信号分配回路に関し、特に大規模集積回路上に高速かつ位相ずれが少ないクロック信号を分配する回路に関する。

【0002】

【従来の技術】大規模集積回路（以下、LSIとする）がますます大規模化し、その動作周波数が増加するにつれて、LSI上に分配されたクロック信号間の相対的な位相ずれ、いわゆるクロックスキューが大きな問題となっている。同期式LSIはLSIの各部がクロック信号によって同時にタイミングを与えられることを前提に設計されて動作するため、クロックスキューの存在は同期式LSIの動作周波数の上限を制限し、その結果、性能を低下させてしまう。

【0003】従来、クロックスキューを低減する技術として、クロックバッファ及びクロック配線をツリー状に構成したクロックツリー方式が知られている。このクロック信号分配回路は、図15に示すように、クロックツリーの各階層において同一のクロックバッファ111を使用し、かつ負荷容量や配線抵抗が同一になるように設計レイアウトを行うことによって、クロックツリーの入力端から各出力端までのクロック伝播経路の遅延を同一とする。これによって、各出力端間におけるクロック信号の位相差は相対的に小さくなり、クロックスキューを低減することが期待できる。

【0004】しかしながら、上述したクロックツリー方式においてはクロックツリーの各経路の条件を揃えるために設計レイアウトにおいて多大な制限が生じ、かつ実際には他回路とのレイアウト配置の関係や制約によって、全ての経路の条件を揃えることは困難である。

【0005】また、条件を揃えるためにクロックツリー上に挿入されるダミーのクロックバッファ112や配線が消費電力や回路面積を増大させるという問題もある。さらに、クロックツリー方式は各クロック分配経路を設計レイアウト時に均等化することによる静的なスキュー補償なので、デバイスばらつきや温度変動、及び電源電圧変動等を原因とするクロックスキューを補償することはできない。また、LSIが微細化するにつれて、他配線とのカップリングの影響も無視できなくなつており、それを設計レイアウト時に補償するのは困難である。

【0006】一方、別の技術としては、全てのクロック分配先を短絡し、それを巨大なクロックバッファで駆動する巨大バッファ方式が知られる。このクロック信号分配回路においては、図16に示すように、各クロック分配先間が短絡されていることから、クロック分配先間でクロックスキューを補償しあう効果が期待できる。

【0007】しかしながら、上述した巨大バッファ方式

においては、クロック分配先全てを同時に遷移させるために巨大なクロックバッファ121と低抵抗なわち幅広のクロック配線122とを必要とする。そのため、消費電力やレイアウト面積が大きく、特に将来の大規模なLSIにおける1GHz以上の高速なクロック分配に対する適用は困難である。

【0008】また、クロック信号の位相補償を設計時ではなく、動作時に動的に行うものとして、クロック伝送路を2重リング状または折り返して配置し、各クロック分配先でこれら伝送路で伝送される2つのクロック信号の位相差を基にクロック信号を動的に生成し、近傍に分配する方法がある。この方法については、特開平8-54957号公報や特開平9-134226号公報に開示されている。

【0009】

【発明が解決しようとする課題】上述した従来のクロック信号分配回路では、動作時に動的にクロックの位相補償を行うので、デバイスばらつきや温度変動、及び電源電圧変動等を原因とするクロックスキューの補償も可能である。

【0010】しかしながら、LSI内の配線は配線断面積が微小なために配線抵抗が大きく、LSI内全体に渡るような長配線によって高速なクロック信号を伝送させることは困難であるので、特に将来の0.1μm以下の微細プロセスによる大規模LSIにおいて1GHz以上の高速なクロック分配に上記のような技術を適用することは極めて困難である。

【0011】そこで、本発明の目的は上記の問題点を解消し、LSI上に低スキューでかつ高速なクロックを分配することができるクロック信号分配回路を提供することにある。

【0012】

【課題を解決するための手段】本発明によるクロック信号分配回路は、外部から入力される基準クロック信号に基づいてグローバルクロック信号を生成するグローバルクロック生成手段と、前記グローバルクロック生成手段で生成された前記グローバルクロック信号を大規模集積回路内に分配しつつ互いに逆方向となるように前記大規模集積回路内に二重ループ状に配置されたグローバルクロック分配手段と、前記グローバルクロック分配手段によって分配される2つのグローバルクロック信号各々の位相の中間位相を基準にローカルクロック信号を生成するローカルクロック生成手段と、前記ローカルクロック生成手段で生成された前記ローカルクロック信号を自手段の近傍領域に分配するローカルクロック分配手段とを備えている。

【0013】すなわち、本発明のクロック信号分配回路は、LSI上の任意箇所に設置したグローバルクロック生成手段によってグローバルクロック信号を生成し、クロックバッファ及び配線から構成されるクロック分配手

段を2重かつ平行に互いに逆方向にLSI上に周回させたグローバルクロック分配手段によって、LSI上にグローバルクロック信号を分配させる。

【0014】このグローバルクロック分配手段を構成する2重のクロック分配手段によって伝達される2つのクロック信号の夫々の遷移時点の中間の時点を基準にローカルクロック信号を発生させるローカルクロック生成手段をグローバルクロック分配手段の任意箇所に複数接続し、このローカルクロック生成手段にその近傍にローカルクロック信号を分配するローカルクロック分配手段を接続する。

【0015】また、グローバルクロック分配手段を構成する2重のクロック分配手段は平行かつ逆方向に設置しているため、2重のクロック分配手段によって伝達される2つのクロック信号の遷移時刻の中間の時刻はグローバルクロック分配手段上の位置によらず同一である。

【0016】この中間の時刻を基準にしてローカルクロック発生手段がその近傍へ分配するローカルクロック信号を独自に発生し、ローカルクロック分配手段がそのローカルクロック信号を自手段の近傍に分配することによって、デバイスばらつきや温度変動、及び電源電圧変動等の影響を補償することが可能であり、LSI全域に低スキーでクロックを分配することができる。

【0017】また、グローバルクロック分配手段はクロックバッファにより分割されているので、高速なクロックの分配を可能にし、配線間カップリングやノイズの影響を減少させることができる。

【0018】

【発明の実施の形態】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例によるクロック信号分配回路の構成を示すブロック図である。図において、本発明の一実施例によるクロック信号分配回路はグローバルクロック生成回路1と、グローバルクロック分配回路2と、複数のクロックバッファ対3-m ($m = 1, 2, \dots, i+1, i+2, \dots, j, j+1, \dots, k, k+1, k+2, \dots, l+1$) と、複数のローカルクロック生成回路4-mと、複数のローカルクロック分配回路5-mとから構成されている。

【0019】グローバルクロック生成回路1はLSI (図中の回路を全て含む回路) の外部より入力される基準クロック信号に基づいてグローバルクロック信号を生成する。グローバルクロック分配回路2はグローバルクロック生成回路1に接続されかつグローバルクロック生成回路1で生成されたグローバルクロック信号を分配する。

【0020】複数のクロックバッファ対3-mは2つのクロックバッファ30-m, 31-mを隣接してレイアウトすることで構成されている。これら2つのクロックバッファ30-m, 31-m各々は互いに平行にレイアウトされかつグローバルクロック分配回路1に接続され

10

20

30

40

50

た2本のグローバルクロック配線100によって接続され、2重にかつ互いに逆向きのループ状のクロック伝達回路を形成している。

【0021】複数のローカルクロック生成回路4-m各々はグローバルクロック分配回路2の任意箇所に接続されかつグローバルクロック分配回路2によって分配されるグローバルクロック信号に基づいてローカルクロック信号を生成する。ローカルクロック分配回路5-m各々はローカルクロック生成回路4-mに接続されかつローカルクロック生成回路4-mで生成されたローカルクロック信号をその近傍に分配する。

【0022】2重にかつ互いに逆向きのループ状のクロック伝達回路各々の入力端2a, 2bは隣接してレイアウトされるか、互いに等長な配線によってグローバルクロック生成回路1に接続されることで、同位相のグローバルクロック信号が2つのクロック伝達回路に入力され、LSI上においてグローバルクロック信号を互いに逆方向に分配する。

【0023】ローカルクロック生成回路4-m及びローカルクロック分配回路5-mはLSIを構成する複数の回路ブロック (図示せず) に対応して配設されている。ローカルクロック生成回路4-mはグローバルクロック分配回路2によって伝達される2つのグローバルクロック信号を入力とし、2つのグローバルクロック信号の夫々の遷移時刻の中間の時刻を基準にしてローカルクロック信号を生成し、ローカルクロック分配回路5-mによって各々に対応する回路ブロック内にローカルクロック信号を分配する。

【0024】図2は図1のグローバルクロック分配回路2の動作を示す図であり、図3は図1のグローバルクロック分配回路2の動作を示すタイミングチャートである。これら図2及び図3を参照してグローバルクロック分配回路2の動作について説明する。

【0025】グローバルクロック分配回路2は同一のクロックバッファ30-m, 31-mによって構成されるクロックバッファ対3-mが平行にレイアウトされたグローバルクロック配線100によって接続された構成であるため、任意の2つのクロックバッファ対間のグローバルクロック信号の伝搬遅延は同一である。

【0026】例えば、クロックバッファ対3-1, 3-(1+1) 間の伝搬遅延はその方向によらず等しく、その伝搬遅延をT1とする。同様に、クロックバッファ対3-(i-1), 3-i間の伝搬遅延をT2、クロックバッファ対3-i, 3-(i+1) 間の伝搬遅延をTi、クロックバッファ対3-(i-1), 3-i間の伝搬遅延をT(i+1)、クロックバッファ対3-2, 3-(n-1) 間の伝搬遅延をT(n-1)、クロックバッファ対3-1, 3-2間の伝搬遅延をTnとする。

【0027】このとき、グローバルクロック分配回路2を構成する2つのクロック伝搬回路の入力端2a, 2b

から各々の出力端2c, 2dまでの伝搬遅延は等しく、
 $T = T_1 + T_2 + \dots + T_i + T_{(i+1)}$
 $+ \dots + T_{(n-1)} + T_n$
 で表される。

【0028】図3は入力端2a, 2bにグローバルクロック生成回路1から入力されるグローバルクロック信号*

$$T_{a1} = T_0$$

$$T_{b1} = T_0 + T_1 + T_2 + \dots + T_i + T_{(i+1)} + \dots + T_{(n-1)} + T_n$$

である。 10※1, C2の遷移時刻の中間の時刻Tm1は、

【0029】従って、分配された2つのクロック信号C※

$$\begin{aligned} T_{m1} &= (|T_{a1} + T_{b1}|) / 2 \\ &= [2T_0 + T_1 + T_2 + \dots + T_i + T_{(i+1)} + \dots + T_{(n-1)} + T_n] / 2 \\ &= T_0 + T / 2 \end{aligned}$$

である。

【0030】同様に、あるクロックドライバ対3-iに、入力端2a, 2bにおいてT0で立上り遷移したク★

$$T_{ai} = T_0 + T_1 + T_2 + \dots + T_i$$

$$T_{bi} = T_0 + T_n + T_{(n-1)} + \dots + T_{(i+1)}$$

である。

【0031】したがって、この2つのクロック信号C ☆

$$\begin{aligned} T_{mi} &= 1 (|T_{ai} + T_{bi}|) / 2 \\ &= (2T_0 + T_1 + T_2 + \dots + T_{(n-1)} + T_n) / 2 \\ &= T_0 + T / 2 \end{aligned}$$

【0032】すなわち、どのクロックバッファ対3-mにおいても、グローバルクロック分配回路2によって互いに逆向きに分配される2つのクロック信号C1, C2の遷移時刻の中間の時刻は $T_0 + T / 2$ で一定である。この性質は、クロックバッファ対3-mを同一のクロックドライバで構成し、クロックバッファ対3-m間を接続する2本のグローバルクロック配線100を平行にレイアウトすることで、グローバルクロック分配回路2を構成する任意の2つのクロックドライバ間のクロック信号の伝搬遅延がその伝搬方向によらず同一とするならば、その伝搬遅延量やクロックバッファ対3-mのレイアウト配置関係、デバイス特性等によらず成立する。

【0033】図4は図1のローカルクロック生成回路4-mの構成例を示すブロック図である。ローカルクロック生成回路4-mは2つの可変遅延回路6, 7と、位相比較回路8と、制御回路9とから構成されている。

【0034】ローカルクロック生成回路4-mは上記のクロック信号C1, C2によって、クロック信号C1, C2の遷移の中間の時刻を基準にローカルクロック信号を動的に生成する。

【0035】2つの可変遅延回路6, 7は入力CLKeに入力されるクロック信号を入力としつつ互いに直列に接続されている。位相比較回路8は可変遅延回路7の出力と入力CLK1に入力されるクロック信号との間の位相差を検出する。制御回路9は位相比較回路8の出力に

*のある立上り遷移の時刻をT0とした時のタイミングチャートである。入力端2a, 2bにおいてT0で立上り遷移したクロック信号が、グローバルクロック分配回路2によって互いに逆向きに分配され、クロック信号C1, C2としてクロックドライバ対3-(i+1)に到着する時刻を夫々Ta1, Tb1とすると、

$$T_{a1} = T_0$$

$$T_{b1} = T_0 + T_1 + T_2 + \dots + T_i + T_{(i+1)} + \dots + T_{(n-1)} + T_n$$

10※1, C2の遷移時刻の中間の時刻Tm1は、

★ロック信号がグローバルクロック分配回路2によってクロック信号C1, C2として到着する時刻Ta1, Tb1とすると、

$$T_{a1} = T_0 + T_1 + T_2 + \dots + T_i$$

$$T_{b1} = T_0 + T_n + T_{(n-1)} + \dots + T_{(i+1)}$$

☆1, C2の遷移時刻の中間の時刻Tm1は、

したがって可変遅延回路6, 7の遅延量を制御する。これら可変遅延回路6, 7と位相比較回路8と制御回路9とによって遅延同期ループが形成されている。

【0036】直列接続された2つの可変遅延回路6, 7の前段の可変遅延回路6の出力を出力CLKoとする。入力CLKeにはグローバルクロック分配回路2によって分配される2つのクロック信号C1, C2のうちの位相の進んでいる方が、入力CLK1には位相の遅れている方が夫々入力される。

【0037】直列に接続された2つの可変遅延回路6, 7は入力CLKeに入力されたクロック信号を遅延させる。位相比較回路8はこの遅延されたクロック信号と入力CLK1に入力されたクロック信号との位相比較を行い、その比較結果を制御回路9に出力する。

【0038】制御回路9は位相比較回路8の比較結果に基づいて、位相比較回路8に入力される2つのクロック信号の位相差をなくすように2つの可変遅延回路6, 7の遅延量を変更する。位相比較回路8の2つの入力の位相差が0となった状況では2つの可変遅延回路6, 7が同じ遅延量を持つため、出力CLKoには入力CLKe及び入力CLK1に入力されたクロック信号の遷移時刻の中間の時刻で遷移する信号が得られる。すなわち、グローバルクロック分配回路2によって分配される2つのクロック信号C1, C2の夫々の位相の中間の位相を持つクロック信号が出力CLKoに出力される。

【0039】例えば、入力CLK_eに入力されるクロック信号の位相を ϕ_1 、入力CLK₁に入力されるクロック信号の位相を $\phi_2 = \phi_1 + \Delta\phi$ 、可変遅延回路6、7の遅延量をXとした時、位相比較回路8に入力される2つのクロック信号の位相差が0になると、

$$\phi_1 + 2 \cdot X = \phi_2$$

$$= \phi_1 + \Delta\phi$$

が成り立つ。

【0040】この時、 $X = \Delta\phi/2$ であり、出力CLK_oには入力CLK_e及び入力CLK₁に入力されるクロック信号C₁、C₂の中間の位相 $(\phi_1 + \Delta\phi/2)$ をもつクロック信号が outputされる。これはクロック信号C₁、C₂間の位相差 $\Delta\phi$ の大きさに依存しない。すなわち、ローカルクロック生成回路4-mはグローバルクロック分配回路2に接続する位置によらず、全てのローカルクロック生成回路4-mで同位相のクロック信号を生成することが可能となる。

【0041】図5は図1のローカルクロック生成回路4-mの他の構成例を示すブロック図である。ローカルクロック生成回路4-mの他の構成例では2つの固定遅延回路10、11を配設した以外は図4に示す構成例と同様の構成となっており、同一構成要素には同一符号を付してある。

【0042】ローカルクロック生成回路4-mの他の構成例では図4に示すローカルクロック生成回路4-mにおいて、入力CLK₁に入力されるクロック信号を2つ直列に接続した固定遅延回路10、11を通して位相比較回路8に入力する。2つの固定遅延回路10、11は可変遅延回路6、7の最小遅延量が0でない時に、固定遅延回路10、11の遅延量を可変遻延回路6、7の最小遅延量と同一にすることで、その最小遅延を補償する。

【0043】例えば、グローバルクロック分配回路2の入力端2a、2bから出力端2c、2dまでの遅延時間がTの時、ローカルクロック生成回路4-mをグローバルクロック分配回路2の任意の位置に接続可能とするためには、ローカルクロック生成回路4-mが入力する2つのクロック信号C₁、C₂の位相差 $\Delta\phi$ は $0 \leq \Delta\phi \leq T$ の範囲をとりうるので、図4に示すローカルクロック生成回路4-mでは上記の説明から、可変遻延回路6、7の遅延量Xを $0 \leq X \leq T/2$ の範囲とする必要がある。

【0044】ローカルクロック生成回路4-mの他の構成例において、可変遻延回路6、7の遅延量Xが $X_0 \leq X \leq T/2$ である時、固定遻延回路10、11の遅延量を X_0 とすることで、ローカルクロック生成回路4-mをグローバルクロック分配回路2の任意の位置に接続することが可能となる。

【0045】例えば、入力CLK_eに入力されるクロック信号の位相を ϕ_1 、入力CLK₁に入力されるクロック信号の位相を $\phi_2 = \phi_1 + \Delta\phi$ 、可変遻延回路6、7の遅延量Xが $X_0 \leq X \leq T/2$ である時、固定遻延回路10、11の遅延量を X_0 とすることで、ローカルクロック生成回路4-mをグローバルクロック分配回路2の任意の位置に接続することが可能となる。

クロック信号の位相を $\phi_2 = \phi_1 + \Delta\phi$ 、可変遻延回路6、7の遅延量をXとした時、位相比較回路8に入力される2つのクロック信号の位相差が0になると、

$$\phi_1 + 2 \cdot X = \phi_2 + 2 \cdot X_0$$

$$= \phi_1 + \Delta\phi + 2 \cdot X_0$$

が成り立つ。

【0046】この時、 $X = \Delta\phi/2 + X_0$ であり、出力CLK_oには入力CLK_e及び入力CLK₁に入力されるクロック信号C₁、C₂の中間の位相 $(\phi_1 + \Delta\phi/2 + X_0)$ よりもX₀だけ遅れた位相 $(\phi_1 + \Delta\phi/2 + X_0)$ をもつクロック信号が outputされる。すなわち、グローバルクロック分配回路2に接続された全てのローカルクロック生成回路4-mで固定遅延X₀を補償することによって、グローバルクロック分配回路2に接続する位置によらず、同位相のクロック信号を生成することが可能となる。この場合、可変遻延回路6、7の遅延量Xを $X_0 \leq X \leq T/2$ の範囲とすることが可能となる。

【0047】図6は図4の可変遻延回路6の構成例を示す図である。図において、可変遻延回路6はインバータ61～67とNAND（否定論理積）ゲート68～90とから構成されている。尚、可変遻延回路7も可変遻延回路6と同様の構成となっている。

【0048】可変遻延回路6において、入力INから入力される信号はNANDゲート68～90によって遅延されて出力OUTから出力される。入力D1～D7には可変遻延回路6の遅延量を制御するための信号が入力される。

【0049】入力D1～D7に入力される信号全てが“1”の時、この可変遻延回路6は最小遅延を提供する。NANDゲート68～90の遅延量をdとすると、入力INから入力された信号はNANDゲート76、83を通過して出力OUTに出力され、その遅延は2dである。

【0050】入力D1に入力される信号を“0”、入力D2～D7に入力される信号を“1”とすると、入力INから入力された信号はNANDゲート68、77、84、83を通過して出力OUTに出力される。この時の遅延は4dである。

【0051】同様にして、入力D1～D7に入力される信号を全て“0”にすると、入力INから出力OUTまでの遅延時間は16dとなる。すなわち、入力D1～D7に入力される信号の値によって2dから16dまでの2d単位の遅延を提供することができる。制御回路9は入力D1～D7に入力される信号を制御することによって、可変遻延回路6の遅延量の制御を行う。また、制御回路9は上記と同様にして可変遻延回路7の遅延量の制御を行う。

【0052】図7は図5の固定遻延回路10の構成例を示す図である。図において、固定遻延回路10はNANDゲート10a～10cから構成されている。尚、固定

遅延回路11は固定遅延回路10と同様の構成となっている。

【0053】固定遅延回路10を構成するNANDゲート10a～10cに、上述した可変遅延回路6のNANDゲート68～90と同一のNANDゲートを用いることで、可変遅延回路6の最小遅延2dを提供する。

【0054】図1において、ローカルクロック分配回路5-mは上記のローカルクロック生成回路4-mで生成され、出力CLKoに出力されるローカルクロック信号を回路ブロック内に分配する。

【0055】図8は図1のローカルクロック分配回路5-mの構成例を示す図である。図において、ローカルクロック分配回路5-mは遅延同期ループ回路12とクロックツリー13とから構成され、遅延同期ループ回路12の出力をクロックツリー13の入力に、クロックツリー13の出力を遅延同期ループ回路12の入力に接続することによって、ループを形成している。

【0056】遅延同期ループ回路12は可変遅延回路12aと、位相比較回路12bと、制御回路12cとから構成されており、クロックツリー13は複数のクロックバッファ13a～13mから構成されている。

【0057】位相比較回路12bは入力CLKから入力されるローカルクロック生成回路4-mの出力クロック信号とクロックツリー13の末端のクロック信号との位相を比較し、その結果を制御回路12cに出力する。制御回路12cは位相比較回路12bの出力を基に、入力CLKから入力されるクロック信号とクロックツリー13の末端のクロック信号との位相差を0にするように可変遅延回路12aの遅延量を調整する。

【0058】クロックツリー13は回路ブロック内の近傍領域のみにクロック信号を分配すればよいので、LSI全体にクロックツリーでクロック分配を行う時とは異なり、クロックツリー末端間のスキューを十分小さくしてクロックを分配できることが期待できる。

【0059】各ローカルクロック分配回路5-mを構成するクロックツリー13の規模に差がなく、その遅延差が許容できる範囲内になる場合には遅延同期ループ回路12を省略することもできる。

【0060】ローカルクロック生成回路4-mのグローバルクロック分配回路5-mへの接続位置は任意である。図1においてはクロックバッファ対3-mの入力側に接続しているが、クロックバッファ対3-mの出力側でもよいし、クロックバッファ対3-mの間隔が十分小さく、グローバルクロック配線100上の位置による遅延差が無視できる場合にはクロックバッファ対3-m間の配線でもよい。

【0061】また、ローカルクロック分配回路5-mの数も任意である。したがって1組のローカルクロック生成回路及びローカルクロック分配回路がローカルクロック信号を分配する範囲を十分に小さくすることができ

る。

【0062】さらに、クロック信号C1、C2の位相差を検出し、動的にクロック生成を行うので、回路ブロック間のデバイスばらつきや温度変動、及び電源電圧変動等を補償することができる。

【0063】グローバルクロック分配回路2を構成するクロックバッファ対3-mのレイアウト間隔は任意であるが、全てのクロックバッファ対3-mのレイアウト間隔を同一とすることで、全てのグローバルクロック配線100の配線抵抗や配線容量を同一とし、全てのクロックバッファ対3-m間の遅延を同一とするならば、クロックバッファ対3-m間のデバイスばらつきや温度変動、及び電源電圧変動等をも補償することができる。

【0064】すなわち、図2において、各クロックバッファ対3-m間の遅延をTp=T1=T2=…=Tnとすると、i番目のクロックバッファ対3-iに接続されたローカルクロック生成回路4-iが入力する2つのクロック信号C1、C2の位相は、グローバルクロック分配回路2の入力端2a、2bから(i-1)·Tp及び(n-i+1)·Tpだけ遅れている。

【0065】いま仮にあるクロックバッファ対にデバイスばらつきや温度変動、及び電源電圧変動等の影響が加わり、両側に隣接するクロックバッファ対までの遅延時間がTp+Δtとなったとすると、上記のクロック信号C1、C2の入力端2a、2bからの位相遅れは(i-1)·Tp+Δt及び(n-i+1)·Tpまたは、(i-1)·Tp及び(n-i+1)·Tp+Δtとなる。つまり、クロック信号C1、C2の位相の中間の位相をもつクロック信号は入力端2a、2bから(n·Tp+Δt)/2の位相遅れをもち、これはローカルクロック生成回路4-mの接続位置によらず一定である。

【0066】したがって、デバイスばらつきや温度変動、及び電源電圧変動等の影響で、あるクロックバッファ対の特性にずれが生じても、それを補償して、各ローカルクロック生成回路4-mは同位相のローカルクロック信号を生成することが可能となる。また、これは意図的にクロックバッファ対3-m間で異なる大きさのクロックバッファや異なる電源電圧が使用可能なことを意味し、同様に各ローカルクロック生成回路4-mは同位相のローカルクロック信号を生成することが可能となる。

【0067】以上の説明で明らかのように、本発明によってデバイスばらつきや温度変動、及び電源電圧変動等の影響を補償することが可能である。また、グローバルクロック分配回路5-mは複数のクロックバッファ対3-mが挿入されており、クロックバッファ対3-m間の配線が十分短いので、配線間カップリングやノイズの影響を受けにくく、かつ高速なクロック分配を可能にする。これによって、LSI全体に低スキューでかつ高速なクロック信号を分配することが可能となる。

【0068】図9は図4の位相比較回路8の構成例を示

す図である。図において、位相比較回路8は2つの分周回路14, 15と、2つのDフリップフロップ16, 17とから構成されている。入力CLKに入力されるクロック信号は分周回路14を通してフリップフロップ16のD入力とフリップフロップ17のクロック入力に夫々入力され、入力REFに入力されるクロック信号は分周回路15を通してフリップフロップ17のD入力とフリップフロップ16のクロック入力に夫々入力される。分周回路14, 15はDフリップフロップ14a, 15aの否定出力を入力にフィードバックすることで、入力信号を2分周する。

【0069】図10は図4の位相比較回路8の動作を示すタイミングチャートである。これら図9及び図10を参照して位相比較回路8の動作について説明する。入力REFから入力されるクロック信号は分周回路15によって2分周される。同様に、入力CLKから入力されるクロック信号は分周回路14によって2分周される。

【0070】分周回路14の出力すなわち入力CLKから入力されるクロック信号を2分周した信号をCLK2、分周回路15の出力すなわち入力REFから入力されるクロック信号を2分周した信号をREF2とすると、CLK2はDフリップフロップ16によってREF2の立上りのタイミングでラッチされ、出力INCから出力される。

【0071】また、REF2はDフリップフロップ17によってCLK2の立上りのタイミングでラッチされ、出力DECから出力される。すなわち、入力CLKから入力されるクロック信号よりも入力REFから入力されるクロック信号の位相が進んでいれば、出力INCが“0”、出力DECが“1”となる。逆に、入力REFから入力されるクロック信号よりも入力CLKから入力されるクロック信号の位相が進んでいれば、出力INCが“1”、DECが“0”となる。

【0072】図4に示したローカルクロック発生回路4-mにおいて、入力CLKeから入力されかつ2つの可変遅延回路6, 7を通過したクロック信号を位相比較回路8の入力CLKに接続し、入力CLK1を入力REFに接続するとともに、制御回路9が位相比較回路8の出力INCの出力が“1”であれば可変遅延回路6, 7の遅延を増加させ、位相比較回路8の出力DECの出力が“1”であれば可変遅延回路6, 7の遅延を減少させることによって、ローカルクロック生成回路4-mは上述した所望の動作を実現する。

【0073】位相比較回路8の分周回路14, 15は検出可能な位相差の最大値を増加させる。すなわち、入力CLKから入力されるクロック信号及び入力REFから入力されるクロック信号を2分周することによって、入力CLKと入力REFとから入力されるクロック信号の検出可能な最大の位相差はそのサイクル時間をTcとすると、 $Tc/2$ から Tc に増加する。

【0074】さらに分周し、例えばn分周すると、検出可能な最大位相差は $(Tc/2) \cdot n$ となる。すなわち、分周数を増加させれば検出可能な最大位相差が増加するため、グローバルクロック分配回路5-mからローカルクロック生成回路4-mに入力する2つのクロック信号の位相差に制限はない。これは、グローバルクロック分配回路2の入力端2a, 2bから出力端2c, 2dまでの遅延時間の最大値に制限がないことを意味する。

【0075】したがって、グローバルクロック分配回路5-mにクロックバッファ対3-mを適切な間隔で挿入することができるため、カップリングやノイズ等の影響を削減することができる。また、グローバルクロック分配回路2の形状の自由度も向上し、例えばLSI上の他の回路のレイアウト状況等に合わせて所望の形状に変形させることも容易になる。

【0076】分周回路14, 15によって入力CLKと入力REFとから入力されるクロック信号を分周する代わりに、入力CLKと入力REFとから入力されるクロック信号のパルスを選択するパルス選択回路を入力CLK及び入力REFに接続し、入力CLKと入力REFとで対応するパルスのみを通過させるようにも同様に検出可能な最大位相差を増加させることができる。

【0077】図11は図1のローカルクロック分配回路5-mの他の構成例を示す図である。図において、ローカルクロック分配回路5-mは遅延同期ループ回路18とクロックツリー13とから構成され、遅延同期ループ回路18の出力をクロックツリー13の入力に、クロックツリー13の出力を遅延同期ループ回路18の入力に接続することによって、ループを形成している。

【0078】このローカルクロック分配回路5-mの他の構成例では遅延同期ループ回路18において、図8に示す遅延同期ループ回路12の出力に分周回路18dを接続した以外は図8に示す遅延同期ループ回路12の構成と同様である。

【0079】分周回路18dは入力CLKに入力されかつ可変遅延回路18aで遅延されたグローバルクロック信号を分周し、ローカルクロック信号としてクロックツリー13に出力する。この分周回路18dによってグローバルクロック分配回路2で分配されるグローバルクロック信号の周波数よりも低い周波数のクロック信号を、グローバルクロック信号と同位相で分配することができる。

【0080】図12は図1のローカルクロック分配回路5-mの別の構成例を示す図である。図において、ローカルクロック分配回路5-mは位相同期ループ回路19とクロックツリー13とから構成され、位相同期ループ回路19の出力をクロックツリー13の入力に、クロックツリー13の出力を位相同期ループ回路19の入力に接続することによって、ループを形成している。

【0081】このローカルクロック分配回路5-mの他

の構成例では位相同期ループ回路19において、図8に示す遅延同期ループ回路12の代わりに、位相同期ループ回路19を使用している。位相同期ループ回路19は可変発振回路19aと、位相比較回路19bと、ループフィルタ19cと、分周回路19dとから構成されている。

【0082】可変発振回路19aはループフィルタ19cによってフィルタリングされた位相比較回路19bの出力によってその発振周波数が決定され、その出力はクロックツリー13を通じて回路ブロック内に分配される。分周回路19dはクロックツリー13の末端のクロック信号を分周して位相比較回路19bに入力する。

【0083】位相比較回路19bは入力CLKから入力されるクロック信号とクロックツリー13からフィードバックされかつ分周回路19dで分周されたクロック信号との位相を比較し、その比較結果をループフィルタ19cを通して可変発振回路19aに出力し、その発振周波数を制御する。これによって、入力CLKから入力されるクロック信号とクロックツリー13からフィードバックされかつ分周回路19dによって分周されたクロック信号との位相及び周波数を一致させている。

【0084】分周回路19dでクロックツリー13からのフィードバック信号を分周することによって、入力CLKから入力されるグローバルクロック信号と同位相でかつ周波数の高いローカルクロック信号を回路ブロック内に分配することができる。したがって、グローバルクロック信号は周波数を低くすることができるので、グローバルクロック信号の分配に消費される電力が削減可能となる。

【0085】図13は図1のグローバルクロック生成回路1の構成例を示す図である。図において、グローバルクロック生成回路1は位相同期ループ回路20と、セレクタ25と、AND（論理積）ゲート26とから構成されており、位相同期ループ回路20は可変発振回路21と、位相比較回路22と、ループフィルタ23と、分周回路24とから構成されている。

【0086】このグローバルクロック生成回路1においては位相同期ループ回路20によって入力CLKに入力されるLSI外部からの基準クロック信号を遅倍し、その遅倍したクロック信号をANDゲート26を通して出力OUTからグローバルクロック分配回路2に出力している。

【0087】ANDゲート26は入力ENAによって、位相同期ループ回路20がロックするまでは、その出力がOUTに出力されるのを防ぐことで、各ローカルクロック生成回路4-mやローカルクロック分配回路5-mの誤動作を防止する。セレクタ25は初期状態では可変発振回路21の出力を分周回路24にフィードバックしている。

【0088】位相同期ループ回路20がロックし、グロ

ーバルクロック分配回路2への出力が開始されると、セレクタ25は入力REFに入力される近傍のローカルクロック生成回路4-mの出力を分周回路24にフィードバックすることによって、外部クロック信号とLSI内部に分配されるクロック信号との位相合わせを可能にしている。

【0089】上記のように本発明では、グローバルクロック分配回路2によってグローバルクロック信号を各回路ブロックに分配し、各回路ブロックはローカルクロック生成回路4-mでローカルクロック信号を生成し、ローカルクロック分配回路5-mで回路ブロック内にローカルクロック信号を分配する。これは、各回路ブロックでローカルクロック生成・分配回路の設計レイアウトを他の回路ブロックに依存せずに独立して行えることを意味し、設計レイアウトコストを削減することが可能となる。

【0090】また、各回路ブロック単位で周波数制御やクロック停止等のクロック制御を容易に行うことができる。さらに、位相同期ループ回路あるいは遅延同期ループ回路で動的に位相合わせを行うので、各回路ブロックで異なる周波数のクロック信号を選択することができ、また各同路ブロック毎に電源電圧が異なっていてもよい。

【0091】図14は本発明を適用したLSIの構成例を示す図である。図において、LSI40は回路ブロック41~48で構成され、回路ブロック41はクロック周波数がf1、電源電圧がV1となっており、回路ブロック42はクロック周波数がf2、電源電圧がV2となっており、回路ブロック43はクロック周波数がf3、電源電圧がV3となっており、回路ブロック44はクロック周波数がf4、電源電圧がV4となっている。

【0092】また、回路ブロック45はクロック周波数がf5、電源電圧がV5となっており、回路ブロック46はクロック周波数がf6、電源電圧がV6となっており、回路ブロック47はクロック周波数がf7、電源電圧がV7となっており、回路ブロック48はクロック周波数がf8、電源電圧がV8となっている。

【0093】各回路ブロック41~48にはローカルクロック生成・分配回路51~58が設けられており、ローカルクロック生成・分配回路51~58によって各回路ブロック41~48で適切なクロック周波数及び電源電圧が選択される。

【0094】一般に、LSI回路の消費電力Pはクロック周波数をf、電源電圧をV、付加容量をCとした時、 $P = 1/2 \cdot f \cdot C \cdot V \cdot V$ で表される。すなわち、その回路ブロック41~48に適切なクロック周波数及び電源電圧を選択することは消費電力を削減する効果がある。

【0095】また、各回路ブロック41~48で独立してローカルクロック生成・分配回路51~58の設計を

行えることから、図14に示すように、他回路ブロックのローカルクロック生成・分配回路やグローバルクロック生成・分配回路の再設計を行うことなく、回路ブロック43と回路ブロック49との入替えや回路ブロック41～48の再設計を行うことができる。

【0096】これは回路ブロック41～48のモジュール化やライブラリ化を容易にし、回路ブロック41～48の再利用性を向上させ、特に多様な機能を1チップに集積するシステムLSIの設計コストの削減が可能となる。

【0097】このように、互いに逆方向かつ2重にグローバルクロック分配回路2を設置してグローバルクロック信号を分配し、LSIを構成する複数の回路ブロック41～48毎に独立にローカルクロック信号を生成・分配することによって、デバイスばらつきや温度変動、及び電源電圧変動等による影響を補償し、LSI全体に低スキーでクロック信号を分配することができる。

【0098】また、グローバルクロック分配回路2に複数のクロックバッファ30-m, 31-mを挿入し、各クロックバッファ30-m, 31-m間の配線を十分短くすることで、配線間カップリングやノイズの影響が受けにくくなり、高速なクロック信号の分配が可能となる。

【0099】さらに、グローバルクロック分配回路2に接続するローカルクロック生成回路4-mの数及び位置が任意であるため、設計レイアウトでの自由度を高くすることができ、クロック分配回路2の設計レイアウトコストを減少させることができる。

【0100】さらにまた、LSIを構成する各回路ブロック41～48でローカルクロック生成・分配回路51～58を、他の回路ブロックに非依存でかつ独立して設計レイアウトすることができるので、回路ブロック41～48のモジュール化やライブラリ化が容易となり、再利用性が向上するとともに、システムLSIの設計コストを削減することができる。また、回路ブロック41～48単位で周波数変更やクロック停止等のクロック制御を容易に行うことができる。

【0101】この場合、LSIを構成する各回路ブロック41～48で異なるクロック周波数及び電源電圧を容易に選択することができるので、各回路ブロック41～48毎に適切なクロック周波数及び電源電圧を選択することによって、消費電力を削減することができる。

【0102】

【発明の効果】以上説明したように本発明によれば、外部から入力される基準クロック信号に基づいてグローバルクロック信号を生成するグローバルクロック生成手段と、グローバルクロック生成手段で生成されたグローバルクロック信号を大規模集積回路内に分配しかつ互いに逆方向となるように大規模集積回路内に二重ループ状に配置されたグローバルクロック分配手段と、グローバル

クロック分配手段によって分配される2つのグローバルクロック信号各々の位相の中間位相を基準にローカルクロック信号を生成するローカルクロック生成手段と、ローカルクロック生成手段で生成されたローカルクロック信号を自手段の近傍領域に分配するローカルクロック分配手段とを備えることによって、LSI上に低スキーでかつ高速なクロックを分配することができるという効果がある。

【図面の簡単な説明】

10 【図1】本発明の一実施例によるクロック信号分配回路の構成を示すブロック図である。

【図2】図1のグローバルクロック分配回路の動作を示す図である。

【図3】図1のグローバルクロック分配回路の動作を示すタイミングチャートである。

【図4】図1のローカルクロック生成回路の構成例を示すブロック図である。

【図5】図1のローカルクロック生成回路の他の構成例を示すブロック図である。

【図6】図4の可変遅延回路の構成例を示す図である。

【図7】図5の固定遅延回路の構成例を示す図である。

【図8】図1のローカルクロック分配回路の構成例を示す図である。

【図9】図4の位相比較回路の構成例を示す図である。

【図10】図4の位相比較回路の動作を示すタイミングチャートである。

【図11】図1のローカルクロック分配回路の他の構成例を示す図である。

【図12】図1のローカルクロック分配回路の別の構成例を示す図である。

【図13】図1のグローバルクロック生成回路の構成例を示す図である。

【図14】本発明を適用したLSIの構成例を示す図である。

【図15】従来例のクロック分配回路の構成例を示すブロック図である。

【図16】従来例のクロック分配回路を他の構成例を示すブロック図である。

【符号の説明】

40 1 グローバルクロック生成回路

2 グローバルクロック分配回路

2a, 2b 入力端

2c, 2d 出力端

3-1～3-(1+1) クロックバッファ対

4-(i+1), 4-(i+2), 4-j, 4-(k+1), 4-(1+1) ローカルクロック生成回路

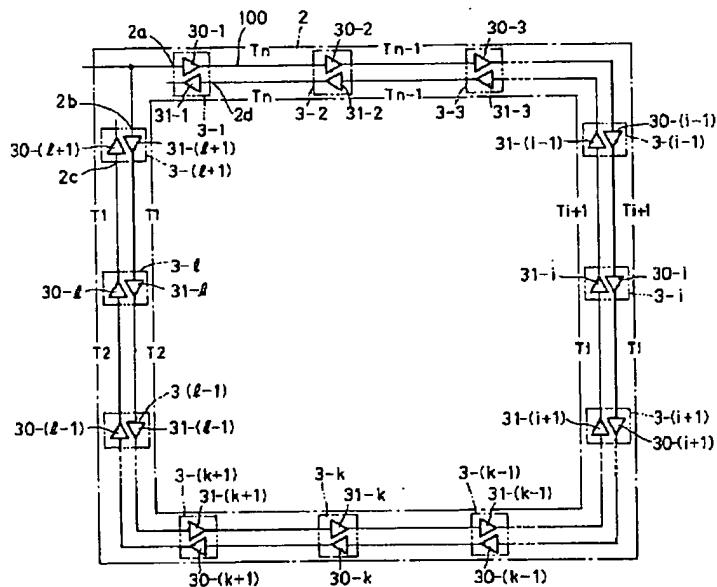
5-(i+1), 5-(i+2), 5-j, 5-(k+1), 5-(1+1) ローカルクロック分配回路

6, 7, 12a, 18a 可変遅延回路

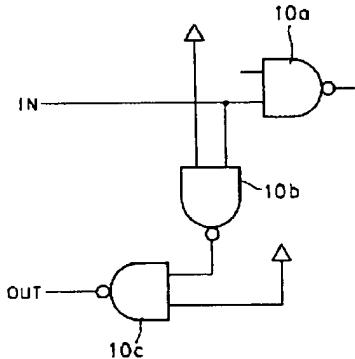
50 8, 12b, 18b, 19b, 22 位相比較回路

9, 12c, 18c 制御回路
 10, 11 固定遅延回路
 10a～10c, 68～90 NANDゲート
 12, 18 遅延同期ループ回路
 13 クロックソリーバー
 13a～13m, 30-1～30-(i+1), 31-1～31-(i+1) クロックバッファ
 14, 15, 18d, 19d, 24 分周回路
 14a, 15a, 16, 17 Dフリップフロップ *
 * 19a, 21 可変発振回路
 19c, 23 ループフィルタ
 20 位相同期ループ回路
 25 セレクタ
 26 ANDゲート
 40 LSI
 41～49 回路ブロック
 51～58 ローカルクロック生成・分配回路
 61～67 インバータ

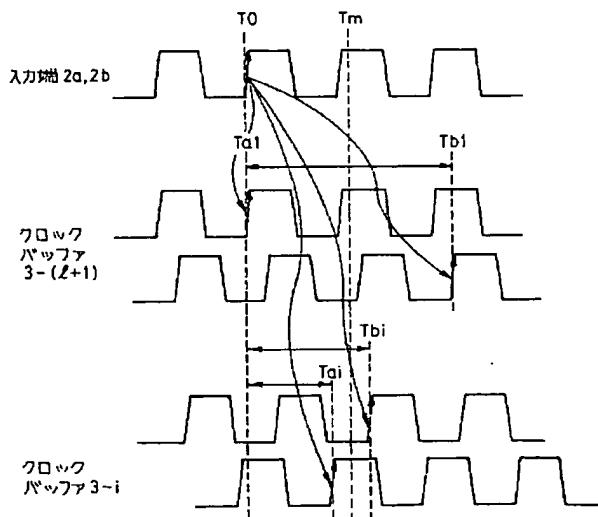
【図2】



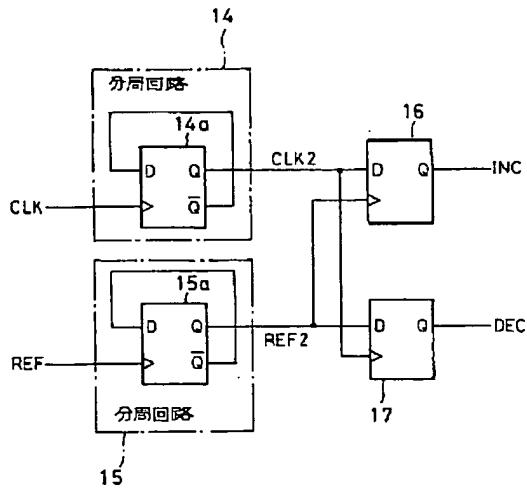
【図7】



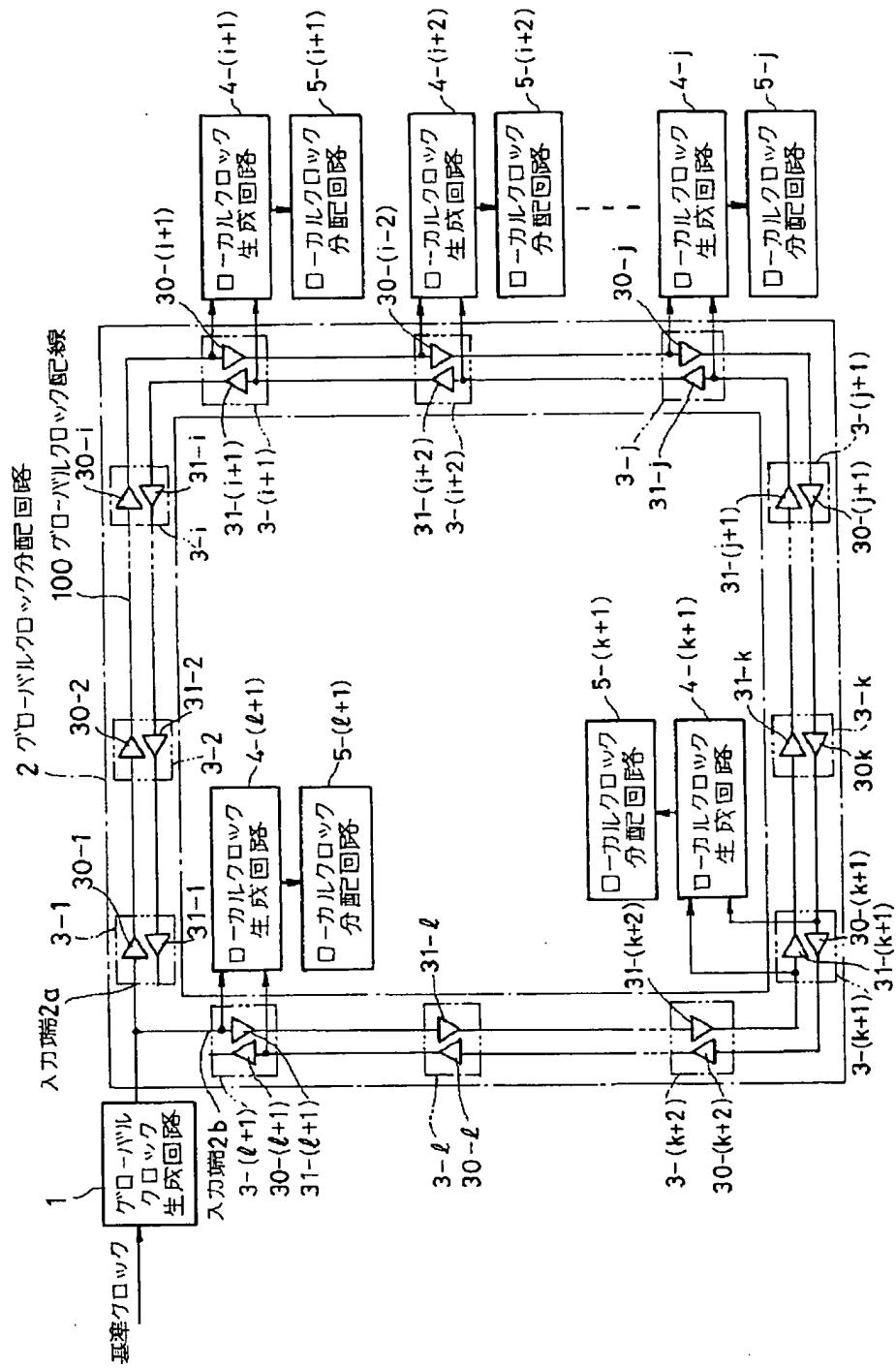
【図3】



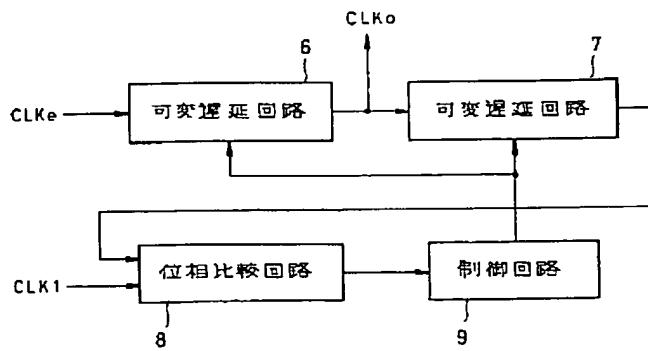
【図9】



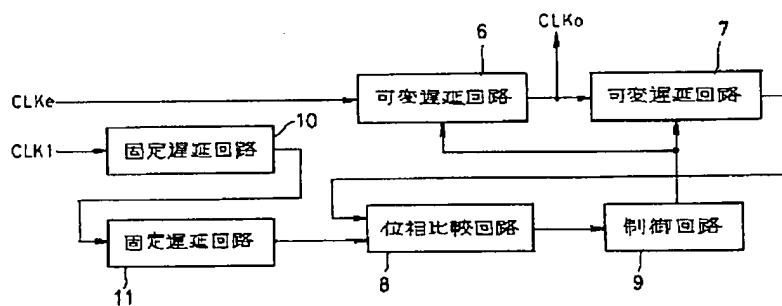
〔図1〕



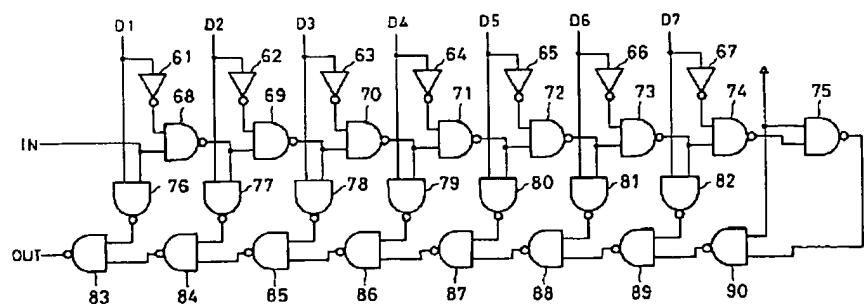
【図4】



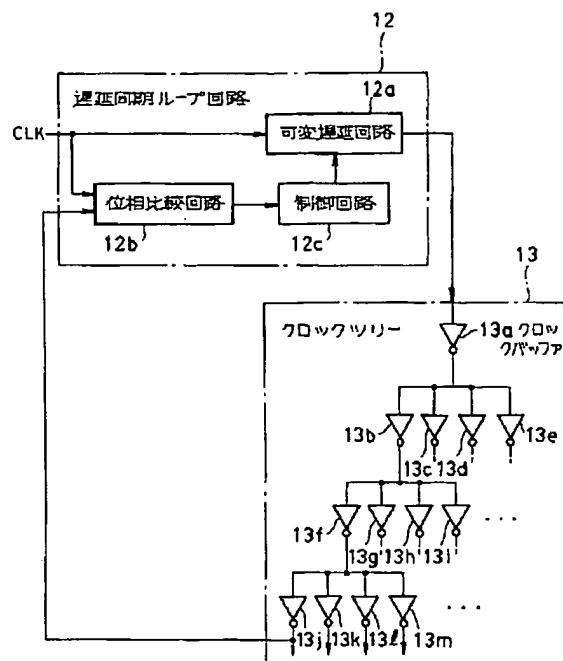
【図5】



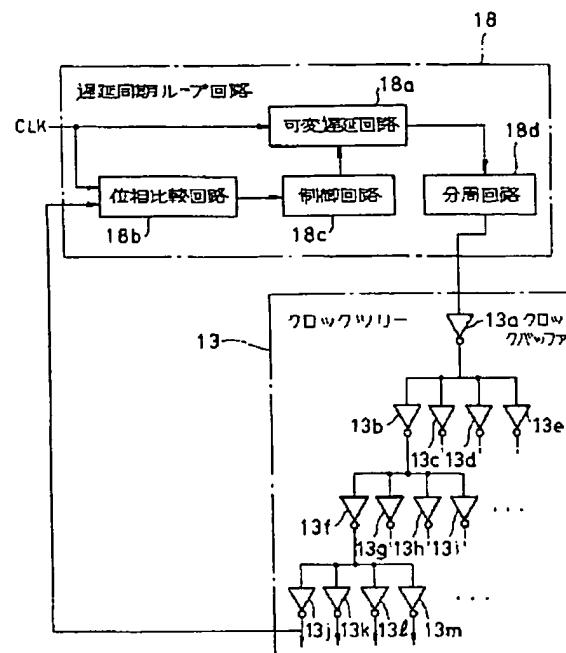
【図6】



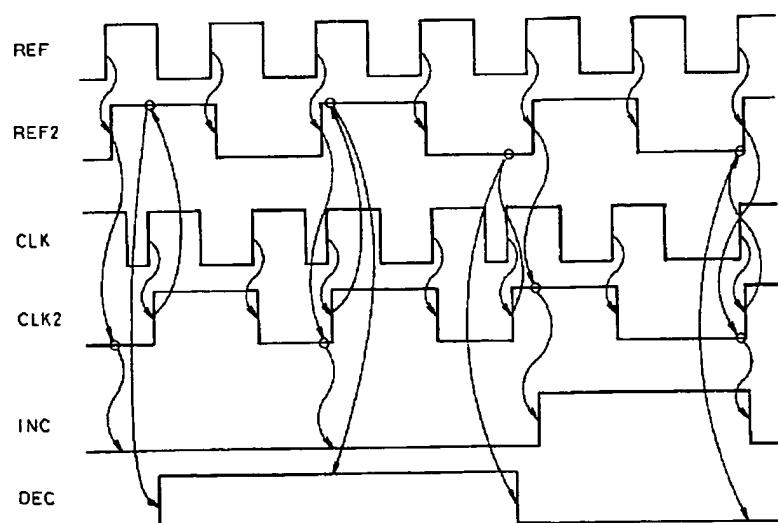
【図8】



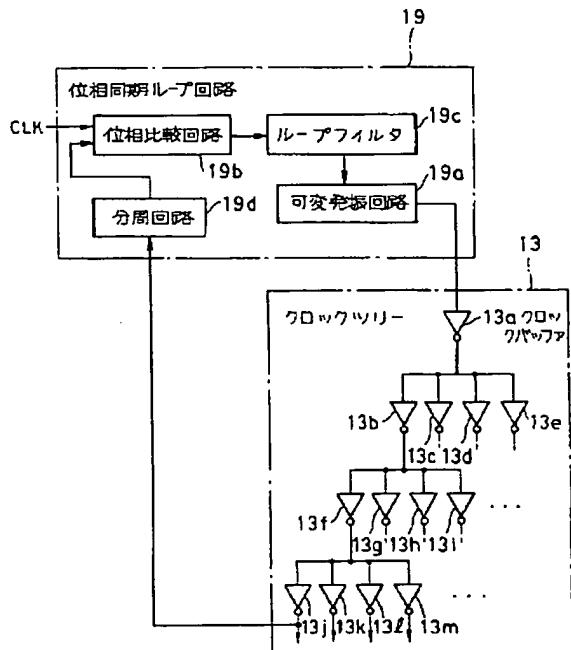
【図11】



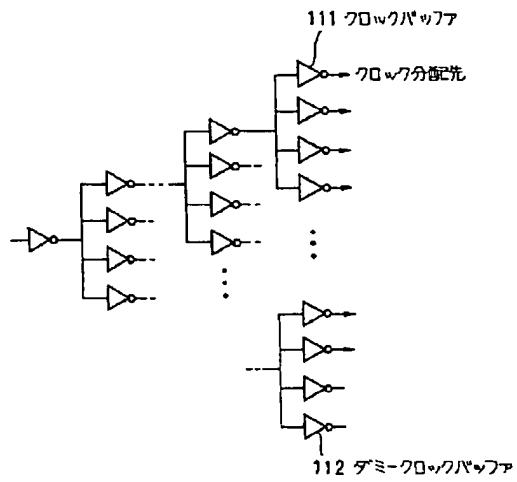
【図10】



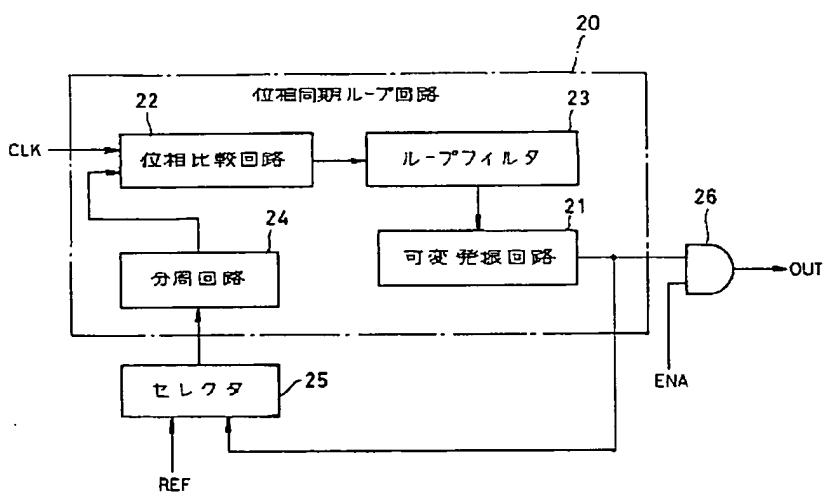
【図12】



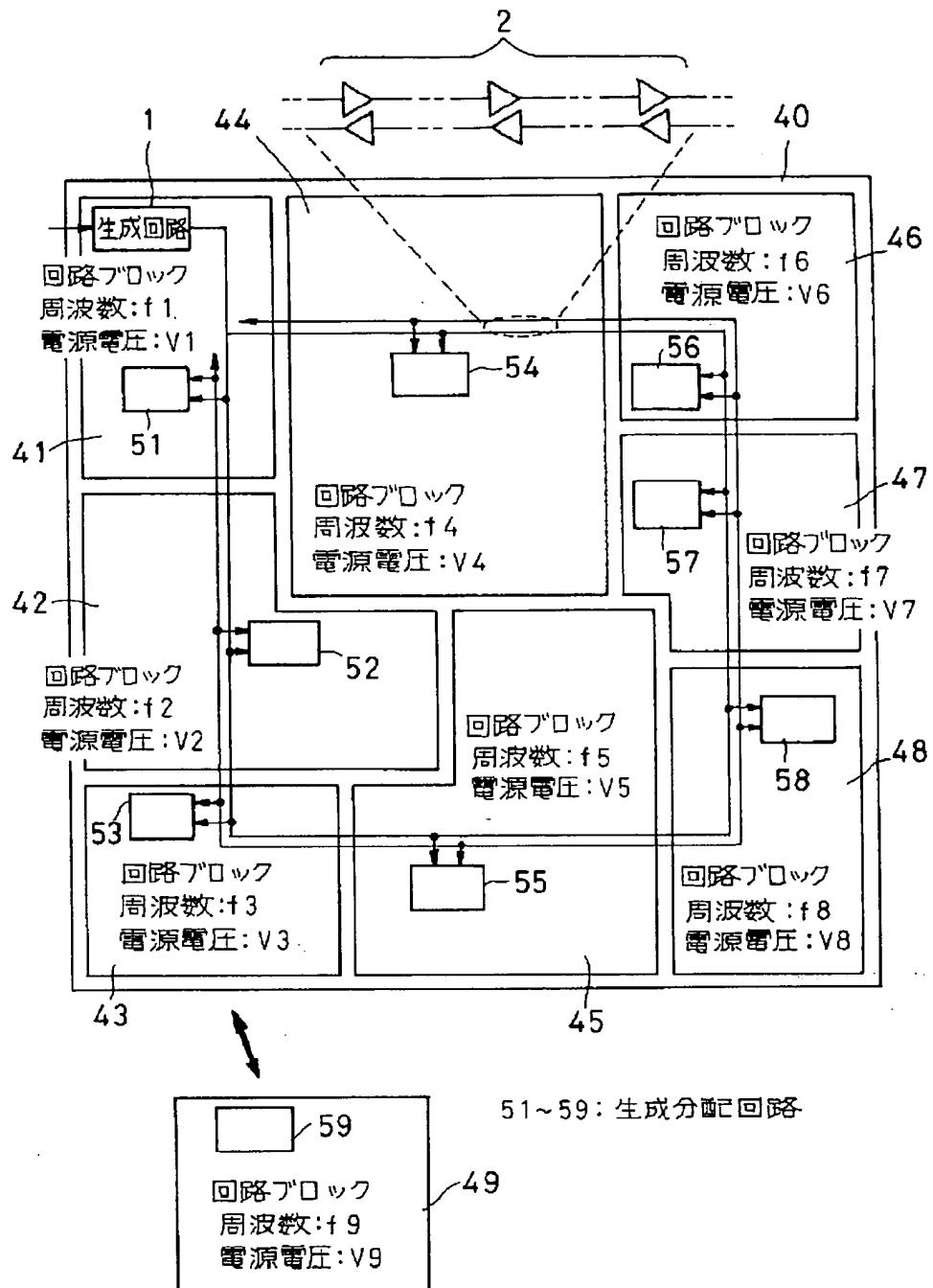
【図15】



【図13】



【図14】



【図16】

